

Universidad de Oriente
Facultad de Ingeniería Eléctrica
Departamento de Telecomunicaciones



TRABAJO DE DIPLOMA

**TÍTULO: IMPLEMENTACIÓN CIRCUITAL DE UN
SINTETIZADOR DIGITAL DIRECTO DE
FRECUENCIA CON EL CIRCUITO INTEGRADO
AD9850.**

Autor: Julio Emilio Brito Goyanes

Tutor: MSc. Ing. Fidel V. Giró Uribazó

Santiago de Cuba

Junio, 2015

Universidad de Oriente
Facultad de Ingeniería Eléctrica
Departamento de Telecomunicaciones



TRABAJO DE DIPLOMA

**TÍTULO: IMPLEMENTACIÓN CIRCUITAL DE UN
SINTETIZADOR DIGITAL DIRECTO DE
FRECUENCIA CON EL CIRCUITO INTEGRADO
AD9850.**

Autor: Julio Emilio Brito Goyanes

julio.brito@tle.fie.uo.edu.cu

Tutor: MSc. Ing. Fidel V. Giró Uribazó

Profesor Asistente, Departamento de Telecomunicaciones y Electrónica, Facultad de Ingeniería
Eléctrica, fgiro@fie.uo.edu.cu

Santiago de Cuba

Junio, 2015



COMPROMISO DEL AUTOR

Hago constar que el presente trabajo de diploma es de mi autoría exclusivamente, no constituyendo copia de ningún trabajo realizado anteriormente y las fuentes usadas para la realización del trabajo se encuentran referidas en la bibliografía. Doy mi consentimiento a que el mismo sea utilizado por la Institución, para los fines que estime conveniente, tanto de forma parcial como total y que además no podrá ser presentado en eventos, ni publicados sin autorización del Tutor o Institución.

Firma del Autor

PENSAMIENTO

No existe nada más poderoso en este mundo que una idea a la que le ha llegado su momento.

Philip Kotler

DEDICATORIA

A mi querida madre Milagros, por su preocupación y dedicación.

A mis hermanos, Fernandito y Nara por su confianza y apoyo.

A mis tías Marcia, Arlines, Milagros gracias por sus consejos y ayuda.

A mi primo Jorge que siempre me inspiró.

A todos mis amigos que siempre me brindaron su apoyo, en especial a Eric y Laritza.

AGRADECIMIENTOS

Le agradezco a mi mamá, siempre preocupándote por mí en todo momento, ya ves, lo hemos logrado.

A mi hermanito Fernandito que siempre me escucha.

A mi hermana preciosa Nara, gracias por tu apoyo y por haber superado juntos todos los obstáculos.

A ti Laritza, por tu paciencia, consagrada amistad y tiempo de máquina, muchas gracias.

Agradezco a mi tutor Fidel por su excelente labor y conocimientos, así como por todas sus enseñanzas muy importantes.

A mi tía Milagritos y mi prima Yiri, gracias por su incondicional apoyo desde el primer instante.

A Eric que siempre he podido contar contigo.

A toda mi familia, mis tías Arlines y Marcia, mi primo Jorge, gracias por su ayuda desde siempre.

A mis amigos Reinier, Ariel, Hassan, Francisco, Medina, Antonio, ha sido excelente su amistad.

A mis compañeros de universidad por todos estos años inolvidables de mi vida, especialmente a los de beca Albertico, Arnaldo, Rafael, Andrés y Héctor, gracias por todo su apoyo.

A mis amigos del barrio Annalie, Ricardito (Pocholo), Enrique.

A los profesores del departamento de radiocomunicaciones.

A todos los que de una forma u otra me han apoyado en estos años de superación profesional y personal.

RESUMEN

En la actualidad la forma más rápida y eficiente de generar frecuencias es a través de la tecnología de síntesis digital directa. En este trabajo se presenta el diseño y la implementación de un sintetizador de frecuencias basado en esta tecnología, utilizando el circuito integrado AD9850. Con este fin se analizaron aspectos generales de los distintos métodos de síntesis de frecuencia, profundizando en la teoría de los DDS (*Direct Digital Synthesizer*, Sintetizador Digital Directo) y de uno de sus circuitos integrados más representativos. Para su implementación se diseñó el esquema eléctrico y circuito impreso del dispositivo. El equipo diseñado cuenta con facilidades de visualización mediante una aplicación desarrollada en el programa Visual Studio 2013 que se encarga de manejar el DDS. Se realizaron varias mediciones en el laboratorio que evidenciaron la precisión y calidad de la señal generada por el sintetizador implementado en el rango de frecuencias de 0 a 40 MHz. El sintetizador propuesto se utilizó como oscilador local en un SDR (*Software Defined Radio*).

Palabras clave: síntesis de frecuencia, DDS, SDR, AD9850.

ABSTRACT

Nowadays the quickest and efficient form of generating frequencies is through the technology of direct digital synthesis. This study shows the design and the implementation of a frequency's synthesizer based on this technology, using the integrated circuit AD9850. With this purpose, general aspects of different methods of frequency's synthesis were analyzed, deepening in the theory of the DDS (Digital Direct Synthesizer) and one of their more representative integrated circuits. For their implementation it was designed the electric diagram and printed circuit of the device. The device is designed with visualization facilities by means of an application developed in the program Visual Studio 2012 that takes charge of managing the DDS. They were carried out several mensuration in the laboratory that confirm the precision and quality of the signal generated by the synthesizer implemented in the range of frequencies from 0 to 40 MHz The proposed synthesizer was used as local oscillator in a SDR (Software Defined Radio).

Keywords: frequency's synthesis, DDS, SDR, AD9850.

ÍNDICE

INTRODUCCIÓN	1
CAPÍTULO 1. SINTETIZADORES DE FRECUENCIA. TEORÍA DE OPERACIÓN DE LA SÍNTESIS DIGITAL DIRECTA.	4
1.1 Sintetizadores de frecuencia directos.	4
1.2 Sintetizadores de frecuencia indirectos.	5
1.2.1 Sintetizadores de frecuencia con lazo de fase cerrada.	5
1.3 Teoría de operación de la síntesis digital directa.	6
1.4 El acumulador de fase.	7
1.5 El convertidor fase-amplitud.	9
1.6 Optimización de la LUT.	10
1.7 El conversor Digital–Analógico (DAC).	10
1.8 Características y prestaciones de la señal de salida.	12
1.9 Frecuencias espurias generadas en los DDS.	13
1.9.1 Efecto de la resolución del DAC sobre el rendimiento de señales espurias. ...	13
1.9.2 El efecto del truncamiento en el acumulador de fase.	16
1.9.3 No linealidad del DAC.	17
1.9.4 Transalimentación del reloj de referencia.	18
1.9.5 Otras fuentes de espurias.	18
1.10 Parámetros comunes en los DDS.	20
1.11 Ventajas y desventajas de los DDS.	21
1.12 Generalidades sobre la Radio Definida por Software (SDR).	22
1.11.1 Definición de SDR.	23
1.11.2 Conversión de frecuencia en un transceptor SDR (oscilador local).	23
CAPÍTULO 2. IMPLEMENTACIÓN DE UN SINTETIZADOR DIGITAL DIRECTO DE FRECUENCIA.	26
2.1 El Circuito Integrado AD9850.	26
2.1.1 Descripción general.	27
2.1.2 Diagrama de terminales.	28
2.1.3 Programación del AD9850.	29
2.2 Operación del AD9850 como generador de reloj.	30

2.3	Alimentación y conexión USB.....	32
2.4	Diseño e implementación del sintetizador digital directo de frecuencia.....	34
2.3	Diseño del filtro de salida.	38
2.4	Software de control.	39
CAPÍTULO 3. MEDICIONES Y RESULTADOS DEL SINTETIZADOR DIGITAL DIRECTO DE FRECUENCIA IMPLEMENTADO.....		41
3.1	Medición de la señal de salida del reloj de referencia.	41
3.2	Prueba de la señal de salida del DDS.....	43
3.3	Propuesta de diseño del DDS para una segunda versión.	46
3.4	Análisis económico.	49
3.5	Conclusiones del capítulo.	49
CONCLUSIONES Y RECOMENDACIONES		50
REFERENCIAS BIBLIOGRÁFICAS		51
GLOSARIO DE TÉRMINOS		52
ANEXOS		54

INTRODUCCIÓN

El avance tecnológico en los medios de radiodifusión durante las últimas dos décadas ha sido realmente asombroso. Un factor decisivo que posibilitó esto fue la invención de los sintetizadores digitales directos. Comenzando por el concepto general, un sintetizador de frecuencia es un generador de señales de RF (*Radio Frequency*) cuya frecuencia de salida variable se deriva de una frecuencia de referencia extremadamente estable, generalmente un oscilador a cristal de precisión que infiere al circuito una gran estabilidad y precisión en frecuencia. También se considera como la generación de señales analógicas utilizando técnicas digitales con operaciones aritméticas binarias (suma, resta, multiplicación y división).

Diversos circuitos se encargan de procesar esta señal de referencia que produce una frecuencia de salida que resulta ser un múltiplo entero o fraccionario de la frecuencia original. Por lo tanto, el conjunto de frecuencias de salida es discreto y su número, rango y resolución depende de la topología del sintetizador. Según su funcionamiento los sintetizadores se dividen en Sintetizador Directo Analógico, Sintetizador Digital y Sintetizador Indirecto con PLL (*Phase Locked Loop*) [1]. Las dos últimas técnicas son las más utilizadas en la actualidad para la síntesis de frecuencia.

Este trabajo se centra en el estudio del método de síntesis digital directa siendo esta una técnica que se ha extendido mucho en los últimos años con los avances que se realizan en la tecnología de circuitos integrados. Además la integración de una alta velocidad, alto rendimiento, costo competitivo y tamaño pequeño de los generadores DDS se han convertido rápidamente en una alternativa atractiva respecto a los sintetizadores por lazo de enganche de fase utilizados actualmente.

La síntesis digital directa de frecuencias se define básicamente como la forma de generar señales de alta precisión y pureza desde una representación digital. La forma representada digitalmente se reconstruye con un DAC (*Digital Analog Converter*) o convertidor digital-analógico, de alta velocidad. La calidad de los actuales DAC y su alta velocidad permiten la generación digital directa de señales de RF con un bajo nivel de señales espurias, alta resolución y excelente estabilidad. Para generar una señal con este sistema se necesitan fundamentalmente cuatro bloques: un acumulador de fase, un muestreador de forma de onda, un DAC y un filtro de reconstrucción (generalmente pasa bajo).

Comparada con otras técnicas de generación de frecuencias, los DDS presentan varias ventajas únicas, como la posibilidad de obtener una resolución de frecuencia del orden de

milihercios e incluso de nanohercios, una extremada rapidez de conmutación de una frecuencia a otra, además la arquitectura digital de los DDS elimina la necesidad de que el ajuste de la sintonización del sistema sea manual permitiendo una interfaz de control digital donde los sistemas DDS son operados de forma remota y minuciosamente optimizados, bajo el control de un procesador o microcontrolador. Por las características mencionadas este sistema ocupa hoy en día un lugar muy importante en el sector de las Radiocomunicaciones.

Uno de los generadores de DDS de moderna generación más distintivos es el circuito integrado AD9850 de *Analog Devices*. Este es un circuito integrado de última reproducción que utiliza la más avanzada tecnología de los DDS junto a un comparador y un DAC de alta velocidad.

Se utiliza el microcontrolador PIC 18F4550 (*PIC, Peripheral Interface Controller*) para el manejo de la información de control que se envía al DDS. El PIC18F4550 se encuentra en una tarjeta de desarrollo que posee varios periféricos y puertos, donde se desea destacar el empleo del puerto de comunicación USB (*Universal Serial Bus*) que va a permitir tanto la programación del microcontrolador así como la comunicación con la aplicación desarrollada en Visual Studio. Esta aplicación controla el cambio de la frecuencia del DDS y permite la comunicación USB del dispositivo a la PC (*Personal Computer*) mediante el protocolo HID (*Human Interface Device*).

Las aplicaciones de la síntesis digital directa en el campo de las radiocomunicaciones son muchas, desde un generador de señal para un laboratorio, un oscilador local para un transceptor SDR en la banda de HF (*High Frequency*), hasta un oscilador de referencia variable para un PLL en VHF (*Very High Frequency*) o SHF (*Super High Frequency*).

Antecedentes del problema

La síntesis digital directa de frecuencias es una técnica potente utilizada en la generación de señales de radiofrecuencia y es empleada en una gran variedad de aplicaciones, desde un receptor de radio hasta generadores de señal en un laboratorio. Sería significativo contar con dispositivos que de forma sencilla y eficaz utilicen la tecnología de los DDS debido a la gran cantidad de proyectos a los cuales sin duda será útil. Por lo antes descrito, el estudio e implementación de un sintetizador de frecuencias basado en este método sería importante para la disciplina de radiocomunicaciones, ya que este constituye parte esencial

de uno de los bloques que conforman un proyecto de radio transceptor definido por software, el cual ha venido siendo desarrollado por el departamento.

Problema a resolver

Para el funcionamiento de un radio transceptor definido por software en la banda de HF (3 a 30 MHz) es necesario contar con un sintetizador digital directo de frecuencia como oscilador local.

Objeto de estudio

Sistema de radiocomunicaciones

Objetivo General

Implementar un sintetizador digital directo de frecuencias con el circuito integrado AD9850 para su empleo como oscilador local en un radio transceptor definido por software.

Objetivos específicos

1. Realizar un análisis teórico de los principales métodos de síntesis de frecuencia, profundizando en la teoría de operación de la síntesis digital directa y del DDS AD9850.
2. Diseñar el esquema eléctrico y el circuito impreso del sintetizador digital directo con el CI AD9850.
3. Implementar el diseño propuesto y efectuar varias mediciones para comprobar el correcto funcionamiento y precisión del dispositivo.

Hipótesis

Si se implementa un DDS con el CI AD9850 entonces este se podrá emplear como oscilador local en el funcionamiento de un SDR.

CAPÍTULO 1. SINTETIZADORES DE FRECUENCIA. TEORÍA DE OPERACIÓN DE LA SÍNTESIS DIGITAL DIRECTA.

Hasta no hace mucho las técnicas de síntesis de frecuencia eran consideradas una novedad y sólo se utilizaban en equipos sofisticados y complejos. Hoy, la síntesis de frecuencia se emplea en prácticamente todas las aplicaciones electrónicas, ya sean estas domésticas, industriales, de oficina o espaciales. Las aplicaciones de los sintetizadores de frecuencia pueden ir desde un generador de señal para un laboratorio hasta su empleo como oscilador local para un SDR. En este capítulo se muestran aspectos generales de los diferentes tipos de sintetizadores de frecuencia, profundizando en la teoría de los sintetizadores digitales directos. También se describe la arquitectura y principio de funcionamiento de este sistema. Además se da una breve visión del uso de la tecnología DDS en el funcionamiento de un SDR.

1.1 Sintetizadores de frecuencia directos.

Existen en esencia dos métodos para sintetizar frecuencias: el directo y el indirecto. La síntesis directa de frecuencias consiste en que la señal de salida se obtiene por sucesivas multiplicaciones, divisiones y mezcla (suma y resta) de frecuencias que se generan a partir del oscilador de referencia. Este conjunto de elementos proporciona una elevada estabilidad y rapidez en el cambio de frecuencia de salida. La desventaja que tiene este tipo de sintetizador es que ante cambios de frecuencia, se producen problemas de discontinuidad de fase y aparición de señales espurias en la salida. Esto último se evita mediante el uso de filtros pasa bajo que no dejan pasar las componentes de alta frecuencia de la señal seleccionada. Dentro de este método de síntesis existen dos variantes generales: los sintetizadores de frecuencia de cristal múltiple y los de un solo cristal. En la Figura 1.1 se muestra un ejemplo de este último. La resolución y rango de frecuencias están en función del número y tipo de circuitos que lo componen.

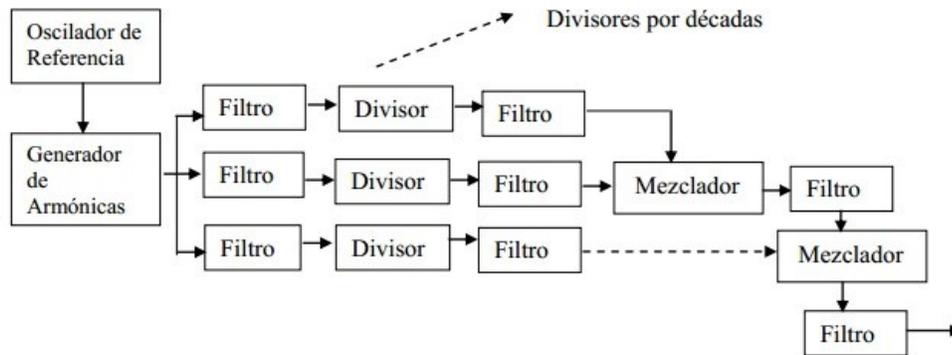


Fig. 1.1. Sintetizador de frecuencia directa de un solo cristal u oscilador (Fuente: [1]).

1.2 Sintetizadores de frecuencia indirectos.

En la síntesis indirecta de frecuencias se emplea un divisor-multiplicador controlado por retroalimentación (como por ejemplo un PLL), para generar varias frecuencias de salida. La síntesis de frecuencia indirecta es más lenta y susceptible al ruido, sin embargo, es menos costosa y requiere filtros menos complicados que la síntesis directa de frecuencias.

1.2.1 Sintetizadores de frecuencia con lazo de fase cerrada.

En años anteriores, el sintetizador de frecuencia con PLL se volvió rápidamente el método más popularizado para síntesis de frecuencia. En la Figura 1.2 se muestra un diagrama de bloques para un sintetizador de frecuencia PLL de lazo sencillo.

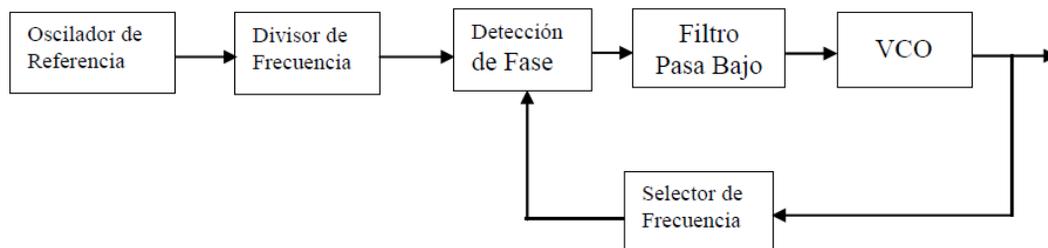


Fig. 1.2. Diagrama en bloques de un sintetizador de frecuencia basado en PLL (Fuente: [1]).

El lazo de enganche de fase contiene tres componentes básicos: un detector de fase, un filtro de lazo y un oscilador controlado por tensión VCO (*Voltage Controlled Oscillator*). Básicamente, es un sistema realimentado en el que la planta es el VCO, el compensador es el filtro de lazo, el comparador es el detector de fase y la realimentación es unitaria. El VCO es un oscilador cuya frecuencia de salida varía linealmente con la tensión de entrada. El detector de fase compara la fase de una señal de entrada periódica con la fase de la

señal de salida del VCO. La salida del detector de fase entrega una medida de la diferencia de fase de sus dos entradas en la forma de una tensión continua cuya amplitud y polaridad es determinada por la cantidad y sentido de dicha diferencia.

Cuando la diferencia de frecuencia entre la señal de entrada y la del VCO es pequeña, el detector de fase genera una tensión alterna que varía lentamente la cual pasa por el filtro de lazo y lleva al VCO a la condición de enganche; en esta condición la frecuencia del VCO es exactamente igual al promedio de la frecuencia de la señal de entrada. El filtro de lazo tiene como misión principal lograr la estabilidad del PLL y además filtrar frecuencias no deseadas.

1.3 Teoría de operación de la síntesis digital directa.

La síntesis digital directa de frecuencias se puede definir básicamente como la forma de generar señales de alta precisión y pureza desde una representación digital. La forma representada digitalmente se reconstruye con un convertidor digital-analógico de alta velocidad. El convertidor proporciona una señal de salida analógica, generalmente sinusoidal. Fundamentalmente, la técnica de los DDS, se basa en el teorema de muestreo desarrollado por Shannon.

Este teorema demuestra que toda señal que tenga un espectro de banda limitado, es representada por sus muestras discretas en el tiempo, siempre que la frecuencia máxima generada no sea superior a la mitad de la frecuencia de reloj o frecuencia de muestreo. Esto indica que una señal muestreada puede ser totalmente recuperada de sus muestras y en el proceso, otras frecuencias se generarán conocidas como señales alias o armónicos.

En el DDS, la señal se genera y manipula digitalmente desde “cero”. Por lo tanto, las muestras que luego conformarán la señal se generan digitalmente en forma numérica y no a partir del muestreo de una señal analógica proveniente de un oscilador. Una vez terminados todos los procesos sobre las muestras digitales generadas, éstas se convierten a una señal analógica a través de un conversor digital analógico. Esto denota una diferencia fundamental entre la generación del DDS y las otras técnicas de síntesis de frecuencia [2].

Existe una gran variedad de implementaciones de DDS, algunas simples y otras no tanto. Sin embargo, una es la dominante y consiste en cuatro bloques fundamentales: un acumulador de fase, un muestreador de forma de onda, un convertidor digital-analógico y un filtro pasa bajos. Además, todo el sistema trabaja con un reloj de referencia que genera la frecuencia empleada en el muestreo y para la sincronización de las operaciones a ser

realizadas por el sistema. La teoría de los DDS está basada en la acumulación de cambios de fase y su reproducción en una forma de onda digitalizada. Comenzaremos la descripción de su arquitectura desglosando el DDS en sus diferentes bloques de acuerdo con la Figura 1.3.

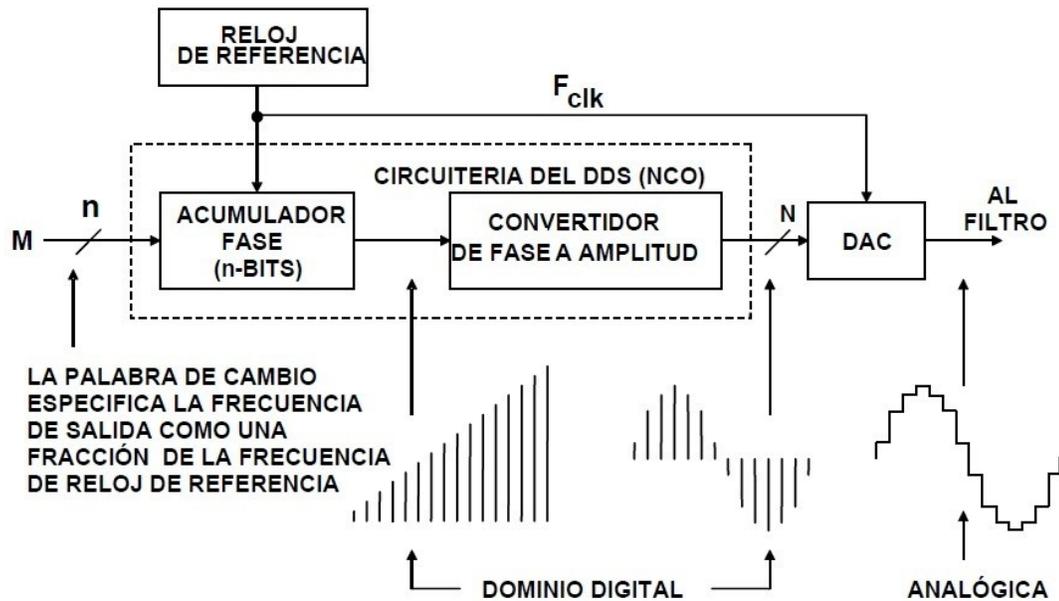
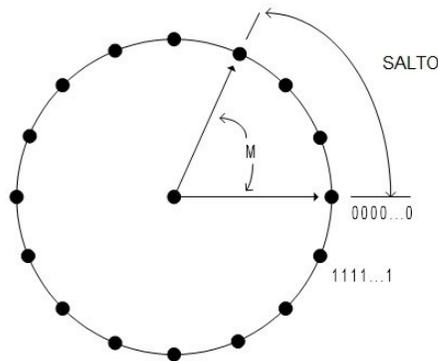


Fig. 1.3. Diagrama en bloques de un sintetizador por DDS y formas de onda a la salida de cada bloque.

1.4 El acumulador de fase.

Para sintonizar la frecuencia deseada a la entrada del acumulador de fase se utiliza una palabra binaria impresa en un registro de entrada al dispositivo DDS, se le denomina palabra de control de frecuencia o palabra de sintonía. Se trata de una palabra de N bits (32 en el caso del AD9850) con lo que queda fijada la resolución del DDS. El acumulador de fase es el componente principal del sistema y su resolución puede ir desde los 24 hasta los 64 bits. La naturaleza de una señal periódica continua, como la senoide, presenta una fase que varía entre 0 y 2π , fuera de este rango de valores la fase se repiten de forma periódica. En el caso de la realización del DDS digital el acarreo permite explicar el proceso de creación de una senoide basada en una rueda de fase con valores discretos como se ve en la Figura 1.4 [3]. Para entender esta función básica, se debe visualizar la onda sinusoidal como un "fasor" (vector giratorio) alrededor del círculo de fase donde cada punto del círculo se corresponde con un punto de la senoide, en el caso continuo, hay infinitos puntos y una rotación del fasor a una velocidad constante equivale a un ciclo completo de

la senoide generada de salida. El acumulador de fase se utiliza para proporcionar el equivalente de rotación lineal del vector alrededor de la rueda de fase. El contenido del acumulador de fase corresponde a los puntos en el ciclo de la onda sinusoidal de salida. El número de puntos de fase discreta contenida en la "rueda" está determinado por la resolución, N , del acumulador de fase. En el caso discreto que nos ocupa el número de puntos equidistantes sobre el círculo es exactamente 2^{32} , es decir, 4 294 967 296 puntos, correspondiente a los 32 bits de resolución.



n	Número de puntos
8	256
12	4096
16	65536
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

Fig. 1.4. Rueda de fase digital (Fuente: [3]).

La salida del acumulador de fase es lineal y no se utiliza directamente para generar una onda sinusoidal o cualquier otra forma de onda excepto una rampa. Por lo tanto, se utiliza una tabla *look-up* que se trata en realidad de un correspondedor entre la fase y la amplitud de una senoide, este se utiliza para convertir una versión truncada del valor de salida instantáneo del acumulador de fase en la información de amplitud de onda sinusoidal que se presenta al convertidor analógico-digital. El acumulador de fase es un contador de módulo 2^n que incrementa su número almacenado cada vez que recibe un impulso de reloj. La magnitud del incremento del acumulador sobre la rueda de fase se determina por la palabra de sintonización que es una palabra codificada de N bits que se pone a la entrada del DDS. En concreto esta indica la magnitud del salto de fase que es necesario imponer al acumulador para generar una determinada frecuencia desde el valor mínimo, fijado por la

resolución, hasta un valor máximo, dependiendo del sistema implementado [2]. Para una resolución dada 2^n y una frecuencia de reloj dada, la frecuencia de salida “ f_0 ” estará determinada por la palabra de sintonización, de acuerdo con la siguiente ecuación de sintonía del DDS:

$$f_0 = \frac{M}{2^n} f_{clk} \quad (1.1)$$

f_0 : frecuencia de salida

M : palabra de sintonía

f_{clk} : la frecuencia del reloj interno de referencia (reloj del sistema)

Los cambios en el valor de M en la arquitectura de los DDS resultan en cambios inmediatos y continuos en la fase de la frecuencia de salida. En la aplicación práctica, el valor M o una palabra de sintonía por frecuencia, se carga en un registro interno de forma serial que precede al registro de fase. Esto se hace generalmente para minimizar el número de pines del dispositivo DDS a utilizar. Una vez que se desborda el acumulador de fase con la palabra de sintonía comienza un nuevo ciclo de la senoide.

Generalmente, la única limitación de la velocidad del cambio de la frecuencia de salida de un DDS es la velocidad máxima a la que el registro de memoria es cargado y ejecutado. Cabe señalar que al disminuir el número de muestras por ciclo tomadas sobre la rueda de fase (aumento de M) la frecuencia de salida aumenta y recíprocamente, al aumentar el número de muestras, por cada revolución del fasor, la frecuencia de salida disminuye. La fase presenta un comportamiento lineal con el tiempo, de manera que al generar una frecuencia constante, la salida del acumulador de fase es una rampa de valores discretos como se ve en la Figura 1.3 [3].

1.5 El convertidor fase-amplitud.

El paso siguiente en el desarrollo de la descripción de los DDS es la conversión fase-amplitud que se realiza en la denominada LUT (*Lookup Table*). Se trata en realidad de un “correspondedor” entre la fase y la amplitud de una senoide. Es en este bloque donde cada uno de los valores discretos de fase se corresponde a valores de amplitud de una senoide. De esta forma es posible generar una senoide con un desfase d y una amplitud de pico A . El contenido almacenado en la LUT, valor íésimo entre 0 y (2^P-1) , puede formularse según (1.2):

$$LUT_{(x)} = \left[d + A \operatorname{sen} \left(\frac{2\pi i}{2^p} \right) + 0.5 \right] \quad (1.2)$$

Cabe destacar que si la LUT, una memoria ROM (*Read Only Memory*), tuviera que manejar los 2^n valores (recordar que 2^{32} son 4 294 967 296 puntos) se produciría un aumento exponencial en las dimensiones del circuito integrado, habría que aumentar la superficie para mejorar la disipación o produciría una ralentización, entre otras. Por esta razón la salida del acumulador de fase debe truncarse y, de los N bits que salen del acumulador, la LUT sólo utilizará P bits ($P < N$), los de mayor peso o más significativos, razón por la que sólo habrá una palabra de 2^P entradas en la LUT. Los valores de los bits truncados dependen del criterio de diseño adoptado por el fabricante del circuito integrado que se vaya a emplear. El truncado de referencia suele ser una de las causas de la generación de líneas espectrales espurias producidas en el espectro de salida [4].

1.6 Optimización de la LUT.

Para reducir la carga binaria de la LUT y agilizar su manejo se han propuesto varios métodos, uno de ellos consiste en desarrollar sólo ángulos de fase correspondientes a un cuarto de ciclo de la senoide muestreada, es decir se almacenarían los valores de magnitud entre 0 y $\pi/2$ y se aprovecharía la simetría inherente a la onda sinusoidal para regenerar el resto, esta tarea también se realizaría en la LUT. Para reconstruir la onda completa entre 0 y 2π un método comúnmente empleado consiste en utilizar los dos primeros bits de mayor peso, los dos MSB (*More Significant Bit*) del acumulador de fase, el primero de ellos, para fijar el signo, mientras que el siguiente MSB resuelve si la amplitud del seno va a ser creciente o decreciente. En esta aproximación se utilizan sólo 2^{p-2} entradas de la LUT hecho que conduce a una compresión de 4:1. Otro método para ganar espacio en la LUT, utilizado por algunos fabricantes, consiste en aplicar algoritmos de aproximación donde se descompone la fase en sus diferentes componentes aplicando identidades trigonométricas para llegar al resultado. Este método requiere del uso de multiplicaciones que vuelven a ralentizar el proceso [4].

1.7 El conversor Digital–Analógico (DAC).

Para convertir los niveles discretos obtenidos a la salida del acumulador de fase en una senoide, se utiliza el denominado DAC. La estructura de los DAC dependerá del tipo de integración, en el caso del CI AD9850 se utiliza tecnología CMOS. En la Figura 1.5 se

muestra uno de los circuitos más clásicos, un DAC de 4 bits, se ha empleado durante mucho tiempo en los integrados, por ejemplo en el DAC0808 y muchos otros.

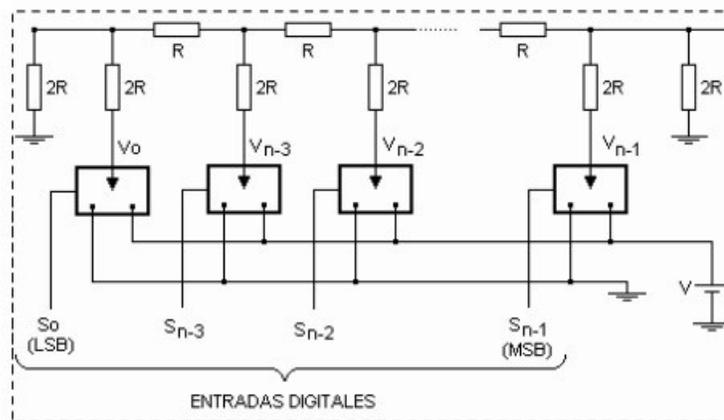


Fig. 1.5. Circuito DAC de 4 bits basado en un circuito escalera R-2R (Fuente: [6]).

Hoy en día, es un referente y su principio de operación forma parte de los DAC más actuales, donde se economiza superficie con una integración de tecnología CMOS (*Complementary Metal Oxide Semiconductor*). El circuito escalera R-2R está constituido por sólo dos valores de resistencias lo que facilita la integración en polisilicio minimizándose así el problema de la tolerancia.

Uno de los inconvenientes que se producen en el DAC es en las transiciones donde aparecen señales anómalas como consecuencia del proceso de conmutación. Se trata de una subida repentina e inesperada de energía (*glitch*), una especie de sobreimpulso, que se produce en el instante en que la matriz de conmutación conmuta las fuentes de corriente de un estado a otro (*ON, OFF*).

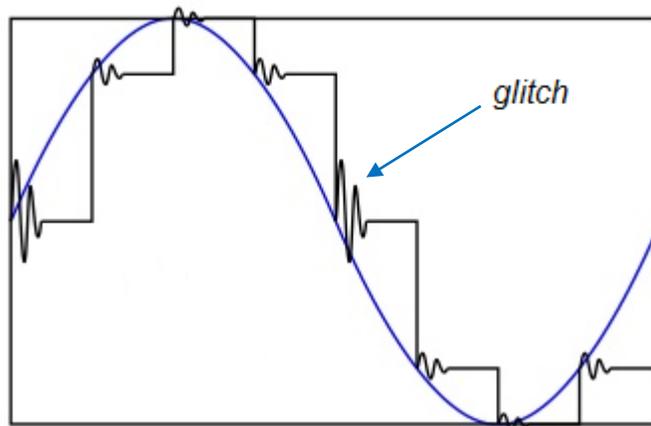


Fig. 1.6. Efecto denominado glitch.

En la Figura 1.6 se ha destacado este fenómeno sólo en uno de los pulsos. Una posible solución sería realizar la conmutación una vez que el DAC se haya establecido en el nuevo nivel, en la parte plana o valle de la onda escalonada. El DAC es el eslabón más débil de la cadena del DDS en lo referente a ruido y linealidad. Toda vez que la LUT llama un valor de amplitud que cae en medio de dos fuentes de corriente del DAC se producen señales espurias a la salida del DDS. Los sintetizadores que emplean esta tecnología casi siempre presentan este problema, lo importante es que estén acotados y su magnitud se encuentre muy por debajo de la señal portadora [5].

1.8 Características y prestaciones de la señal de salida.

Se resumirán ahora algunas características y especificaciones que habrá que interpretar a la hora de recurrir a la hoja de especificaciones de un DDS.

Distorsión armónica total: este parámetro denominado THD (*Total Harmonic Distortion*) es el cociente entre el valor eficaz de la sumatoria de armónicos al valor eficaz de la frecuencia fundamental, así se tiene la ecuación (1.3). Donde V_1 es la amplitud eficaz de la fundamental y V_i son los valores eficaces de los correspondientes armónicos con $i = 1$ a 6.

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \quad (1.3)$$

Relación señal a ruido: El SNR (*Signal to Noise Ratio*) se define como la proporción existente entre la potencia de la señal que se transmite y la potencia del ruido que la afecta. La señal S es la magnitud en valor eficaz de la portadora o fundamental generada. Por su parte se considera ruido N al valor eficaz de la sumatoria de todas las señales no

fundamentales hasta la mitad de la frecuencia de muestreo, excluida la componente continua. De los estudios realizados surge que la cuantificación, la distorsión armónica y otros contribuyen a una relación de señal a ruido (en realidad, señal a ruido + distorsión) de:

$$SNR = 6.02 + 1.76dB \quad (1.4)$$

El rango dinámico libre de espurios: SFDR (*Spurious Free Dynamic Range*) se refiere a la magnitud del armónico o espurio dominante presente en la banda de interés. También se puede definir como el máximo cociente entre la potencia de la portadora y la potencia del espurio más alto distinguible del ruido. A la hora de realizar diseños reales este parámetro dependerá del ancho de banda con el que se quiere trabajar y de la frecuencia normalizada de salida respecto de la frecuencia de reloj. Cabe definir, en primer lugar, la relación SFDR de banda ancha que significa la magnitud del espurio o armónico de mayor nivel relativo a la magnitud de la portadora o frecuencia fundamental, en un ancho de banda de ± 2 MHz alrededor de la frecuencia fundamental. En segundo término, se define la relación SFDR de banda estrecha que indica la atenuación del espurio de mayor magnitud o armónico en un ancho de banda de ± 50 kHz alrededor de la frecuencia fundamental.

1.9 Frecuencias espurias generadas en los DDS.

Una conclusión directa del análisis funcional del DDS es la presencia de frecuencias imágenes deducibles del criterio de Nyquist. Desafortunadamente no son las únicas frecuencias espurias generadas, ya que hay otros fenómenos que afectan la pureza espectral del sintetizador. A continuación se describen algunas de las causas de generación de este tipo de señales.

1.9.1 Efecto de la resolución del DAC sobre el rendimiento de señales espurias.

La resolución de un DAC se especifica por el número de sus bits de entrada. Por ejemplo, la resolución de un DAC de 10 bits de entrada, se dice que tiene "resolución de 10 bits". El impacto de la resolución del DAC es más fácilmente entendido mediante la visualización de la reconstrucción de una onda sinusoidal.

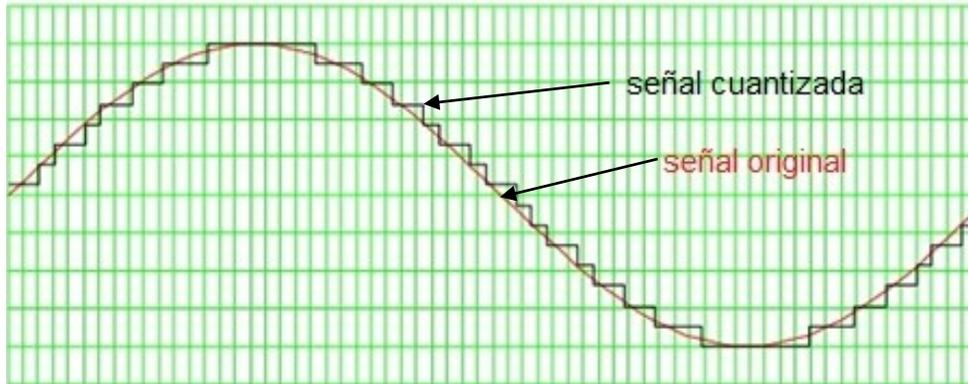


Figura 1.7. Ruido de cuantificación (error de conversión).

Las líneas verticales son marcadores de tiempo e identifican los instantes en el que la salida del DAC se actualiza a un nuevo valor. Por lo tanto, la distancia horizontal entre las líneas verticales representa el período de la muestra. Se puede observar con absoluta claridad la desviación entre la salida de la señal del DAC y la onda sinusoidal perfecta. La distancia vertical entre las dos trazas en el instante del muestreo es el error introducido por el DAC como resultado de su resolución finita. Este error es conocido como error de cuantificación y da lugar a un efecto conocido como distorsión de cuantificación.

Para entender la naturaleza de la distorsión de cuantificación, hay que tener en cuenta los bordes afilados en la salida del DAC. Estos bordes afilados implican la presencia de componentes de alta frecuencia superpuestos en la frecuencia fundamental. Es en estos componentes de alta frecuencia en donde se presenta la distorsión de cuantificación. En el dominio de la frecuencia, los errores de distorsión de cuantificación son armónicos dentro de la banda de Nyquist y aparecen como señales espurias discretas en el espectro de salida del DAC.

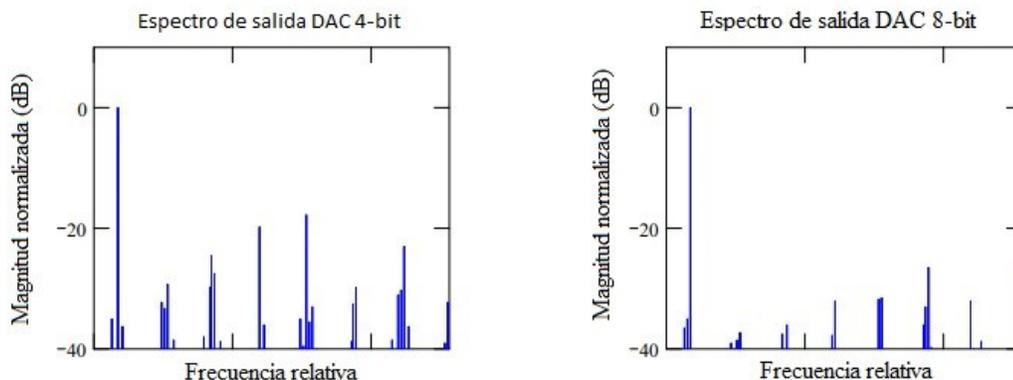


Figura 1.8. Espectro de salida 4-bit vs. 8-bit DAC.

Como la resolución del DAC aumenta, la distorsión de cuantificación disminuye, es decir, el contenido de señales espurias en el espectro de salida del DAC disminuye. Esto tiene sentido, ya que un aumento en la resolución resulta en una disminución en el error de cuantificación. Esto, a su vez, se traduce en menos errores en la reconstrucción de la onda sinusoidal. Menos error implica menos contenido de espurias. Esto se representa gráficamente en la Figura 1.8.

Se aprecia que los picos asociados con espurias en el DAC de 8 bits son generalmente más bajos que los de 4 bit. De hecho, la relación entre la resolución del DAC y la cantidad de distorsión es cuantificable. Si el DAC funciona a su nivel de salida de escala completa, entonces la relación de potencia de la señal a la potencia de ruido por cuantificación SQR (*Signal Quantization Noise*) viene dada por:

$$SQR = 1.76 + 6.02B \text{ (dB)} \quad (1.5)$$

Donde B es el número de bits de resolución del DAC.

Por ejemplo, un DAC de 8 bits exhibe una SQR de 49.92dB. Cabe señalar que la ecuación del SQR sólo especifica la potencia total de ruido debido a errores de cuantificación. No proporciona ninguna información en cuanto a la distribución de las espurias o su máximo nivel, sólo la potencia combinada de todas las señales espurias con respecto a la fundamental. Un segundo punto a considerar es que la Ecuación 1.5 sólo se aplica si el DAC opera a escala completa. A niveles de salida por debajo de la escala completa la potencia en la frecuencia fundamental se reduce, pero el error de cuantificación permanece constante. El efecto principal que produce es una reducción en SQR; es decir, el ruido de cuantificación se vuelve más importante en relación con la frecuencia fundamental.

El efecto de la operación del DAC por debajo de la escala completa es cuantificable y se da como:

$$A = 20 \log(FFS) \text{ (dB)} \quad (1.6)$$

Donde FFS es la fracción de escala completa a la que opera el DAC. Por lo tanto, la ecuación SQR se convierte en:

$$SQR = 1.76 + 6.02B + A = 1.76 + 6.02B + 20 \log(FFS) \text{ (dB)} \quad (1.7)$$

Continuando con el ejemplo anterior, si se opera el DAC a un 70% de escala completa ($A = 0.7$), la SQR resultante sería de 46.82dB (una reducción de 3.1dB del rendimiento del SQR original) [3].

1.9.2 El efecto del truncamiento en el acumulador de fase.

El truncamiento de fase es un aspecto importante de la arquitectura de los DDS. Considere un DDS de 32 bits, para convertir directamente esos 32 bits de fase a una amplitud correspondiente sería requerir 2^{32} entradas en la LUT. Serían 4 294 967 296 entradas, si cada entrada se almacenara con 8 bits de precisión, entonces se requeriría de 4 gigabytes de memoria en la tabla de búsqueda por lo que es poco práctico implementar un diseño de este tipo. La solución es utilizar una fracción de los bits más significativos de la salida del acumulador para proporcionar la información de fase. Por ejemplo, en un diseño de DDS de 32 bits, sólo los 12 bits superiores se podrían utilizar para la información de fase. Los 20 bits más bajos serían ignorados (truncados) en este caso.

Para entender las implicaciones de truncar la salida del acumulador de fase es útil utilizar el concepto visto anteriormente de la rueda de fase digital. Considerando una arquitectura sencilla que utilice 8 bits en el acumulador de fase de los cuales sólo los 5 bits superiores se utilizarán para la información de fase. La representación de la rueda de fase de este modelo en particular, se muestra en la Figura 1.9. Con un acumulador de 8 bits, la resolución de fase asociado con el acumulador es de $1/256$ parte de un círculo completo o 1.41 grados ($360/2^8$). En la Figura 1.9, la resolución del acumulador de fase se identifica por los puntos de la circunferencia externa.

Si sólo se utilizan los 5 bits más significativos del acumulador para transmitir información de fase, entonces la resolución se convierte en la $1/32$ parte del círculo completo o 11,25 grados ($360/2^5$). Suponiendo que se utiliza un valor de palabra de sintonía de 6, es decir, el acumulador va a contar por incrementos de 6. Los primeros cuatro ángulos de fase correspondientes a los pasos del conteo (6) del acumulador se representan en la Figura 1.9.

Es necesario tener en cuenta que la primera etapa de la fase (6 conteos en el círculo exterior) se queda corta del primer punto marcado interior. Así, surge una discrepancia entre la fase del acumulador (el círculo exterior) y la fase determinada por la resolución de 5 bits (el círculo interior). Esta incoherencia resulta en un error de fase de $8,46^\circ$ ($6 \times 1,41^\circ$), representada por el arco **E1** en la figura. En la segunda etapa de fase del acumulador (6

conteos más en el círculo exterior) la fase del acumulador debe residir entre el primer y segundo punto de la circunferencia interna. Una vez más, existe una discrepancia entre la fase del acumulador y la fase determinada por los 5 bits de resolución.

El error en este caso es de $5,64^\circ$ ($4 \times 1,41^\circ$) representado por el arco **E2** en la Figura 1.9. Del mismo modo, en el tercer paso de fase del acumulador el error es de $2,82^\circ$ ($2 \times 1,41^\circ$). Sin embargo, en la 4ta etapa de fase, la fase del acumulador y la fase de resolución de los 5 bits coinciden resultando en que no existe error de fase. Este patrón continúa cada vez que el acumulador realiza los incrementos de 6 conteos en el círculo exterior [3].

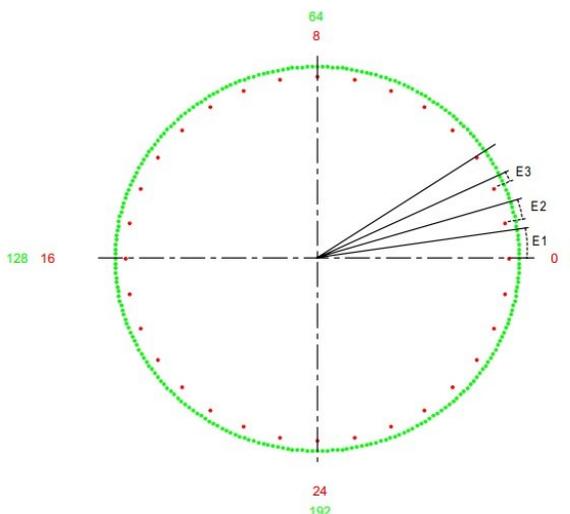


Fig. 1.9. Error de truncamiento de fase y la rueda de fase (Fuente: [3]).

Los errores de fase introducidos por truncar el acumulador darán lugar a errores en la amplitud durante el proceso de conversión de fase a amplitud inherente en el sistema de los DDS. La diferencia entre el valor ideal de amplitud y el truncado presenta un error variable de forma periódica, el cual es independiente de la palabra de sintonización elegida. Puesto que estos errores de amplitud son periódicos en el dominio del tiempo, aparecen como líneas espectrales en el dominio de la frecuencia, lo que se conoce como frecuencias espurias por truncamiento de fase.

1.9.3 No linealidad del DAC.

Esta es una consecuencia de la incapacidad para diseñar un DAC perfecto. Siempre habrá un error con el nivel de salida esperado asociado al DAC para un código de entrada y el nivel de salida real. Los fabricantes expresan este error como DNL (*Differential Non-Linearity*) e INL (*Integral Non-Linearity*). El resultado principal del DNL e INL es que la

relación entre la salida esperada del DAC y su salida real no es perfectamente lineal. Esto significa que una señal de entrada se puede transformar a través de algún proceso no lineal antes de aparecer en la salida. Si una onda sinusoidal digital perfecta se introduce en el DAC, el proceso no lineal causa que la salida contenga la onda sinusoidal, más armónicos de la misma. Así, una onda sinusoidal distorsionada se producirá en la salida del DAC. Esta forma de error se conoce como distorsión armónica. El resultado son señales espurias relacionadas armónicamente en el espectro de salida. En ocasiones se utilizan pues pueden ser útiles si se desea generar frecuencias altas, superiores al reloj de los DDS. Generalmente afectan la calidad de las señales moduladas digitalmente en amplitud.

1.9.4 Transalimentación del reloj de referencia.

Muchos diseños de señales mixtas incluyen uno o más circuitos de reloj de alta frecuencia en el circuito integrado. No es raro que aparezcan estas señales de reloj en la salida del DAC por medio de acoplamiento capacitivo o inductivo. Cualquier acoplamiento de una señal de reloj en la salida del DAC se traducirá en una línea espectral a la frecuencia fundamental del espectro de salida de la señal. Otra posibilidad es que la señal del reloj de referencia se encuentre acoplada al reloj de muestreo del DAC. Esto provoca que la señal de salida del DAC sea modulada por la señal de reloj, teniendo como consecuencia la existencia de señales espurias simétricas alrededor de la frecuencia de la señal de salida. Las técnicas apropiadas de diseño y fabricación son el único seguro contra esta forma de contaminación. La ubicación espectral de las frecuencias espurias generadas debido a la transalimentación del reloj es predecible desde las frecuencias internas del reloj del dispositivo DDS y son conocidas ya que están armónicamente relacionadas con la frecuencia de la palabra de sintonización del mismo. Por ejemplo, si el DDS está sintonizado a 100KHz, el 2do armónico se encuentra a 200KHz, el 3ro a 300 KHz, y así sucesivamente. Generalmente en este sistema, para una frecuencia de salida de f_0 , los armónicos son múltiplos de esta frecuencia, es decir, nf_0 . Por lo tanto, este tipo de señales espurias son encontradas coincidiendo con las frecuencias asociadas a la frecuencia fundamental de salida (frecuencias imágenes) o ligadas al *offset* proveniente de la señal de salida en el caso de modulación [3].

1.9.5 Otras fuentes de espurias.

El acoplamiento entre la señal de reloj del DAC y la existente en otra etapa del circuito puede generar modulación de amplitud en la señal de salida, fenómeno muy notorio cuando

no se han ubicado correctamente los condensadores entre los pines de alimentación y los planos de tierra, lo que se manifiesta en bandas laterales. Se evita siendo prolijo en el diseño del PCB (*Printed Circuit Board*), por ejemplo, procurando que pistas con alta velocidad de conmutación no induzcan, ya sea de forma capacitiva o inductiva, interferencia en las pistas analógicas.

La pureza espectral máxima alcanzable de una onda sinusoidal sintetizada es en última instancia relacionada con la pureza del reloj del sistema utilizado para manejar el DDS. Esto es debido al hecho de que en un sistema muestreado se espera que el intervalo de tiempo entre las muestras sea constante. Las limitaciones prácticas, sin embargo, hacen que estos intervalos de muestreo perfectamente uniformes sean imposibles de lograr. Siempre hay cierta variabilidad en el tiempo entre muestras que conducen a desviaciones del intervalo de muestreo deseado. Estas variaciones instantáneas que se traducen en corrimientos en la frecuencia de salida y generación de ruido se denominan *jitter*. Las causas principales del *jitter* son 2:

Ruido térmico: Denominado en la física como ruido de Johnson, se produce por el movimiento aleatorio de los electrones en los circuitos eléctricos. Cualquier dispositivo posee una resistencia eléctrica que sirve como una fuente de ruido térmico. Puesto que el ruido térmico es movimiento, su espectro de frecuencia es aleatorio e infinito. De hecho, en cualquier ancho de banda dado, la cantidad de potencia de ruido térmico producido por una resistencia dada es constante. Este hecho conduce a una expresión de voltaje de ruido, V_{ruido} , producido por una resistencia, R , en un ancho de banda, B y está dado por la ecuación:

$$V_{ruido} = \sqrt{4 \cdot k \cdot T \cdot R \cdot B} \quad 1.8$$

Donde V_{ruido} es el voltaje RMS, k es la constante de Boltzman ($1.38 \cdot 10^{-23}$ Joules/K), T es la temperatura en grados Kelvin, R es la resistencia en ohmios y B es el ancho de banda analizado. La implicación aquí es que independientemente del circuito a utilizar para generar el reloj del sistema, siempre habrá una cierta cantidad finita de saltos temporales debido al ruido térmico. Por lo tanto, el ruido térmico es el factor limitante cuando se trata de minimizar los saltos temporales [6].

Acoplamiento a fuentes externas: El ruido acoplado puede ser en forma de ruido acoplado localmente causado por la diafonía y/o bucles de tierra dentro o adyacente a la zona

inmediata del circuito. También puede ser introducido por fuentes alejadas del circuito. La interferencia que se introduce en el circuito proveniente del medio ambiente circundante se conoce como EMI (interferencia electromagnética). Las fuentes de EMI pueden incluir líneas eléctricas cercanas, radio, transmisores de TV y motores eléctricos, sólo por nombrar unos pocos.

1.10 Parámetros comunes en los DDS.

A continuación se describen algunos de los parámetros que se obtienen de un sintetizador típico con el método de síntesis digital directa y sus limitaciones.

Frecuencia de salida: La frecuencia de salida de un DDS es teóricamente limitada a la frecuencia de Nyquist. Además cuestiones prácticas en la realización del filtro pasa bajos reducen la frecuencia máxima de salida a alrededor del 40% de la frecuencia de reloj. Actualmente la máxima frecuencia de reloj tolerable por algunos sintetizadores DDS es de 1 GHz, llevando la frecuencia máxima de salida cerca de los 400 MHz. En algunas aplicaciones las frecuencias de alias no son filtradas para generar una banda de frecuencias superior a las frecuencias de las fundamentales (suele decirse que el sintetizador opera en frecuencias súper - Nyquist).

Resolución (tamaño de paso): La resolución o incremento mínimo de frecuencia está dado por F_{ck}/ACM , donde F_{ck} es la tasa de reloj de referencia y ACM es el número de estados que el acumulador puede tomar. Por lo tanto, el tamaño del acumulador controla la resolución y el aumento del mismo añade poco a los costos y complejidad del diseño. En comparación con el costo y la complejidad de la resolución en técnicas PLL o DAS, esto es una ventaja notable a favor del DDS.

Velocidad: La velocidad de conmutación en un DDS es una combinación de los tiempos que toma propagar la señal digital a través de la lógica de control y el tiempo de retardo del filtro pasa bajos. En implementaciones de DDS de alta velocidad pueden lograrse retardos de 300 ns lo cual es excelente teniendo en cuenta que para otras técnicas (PLL o DAS) los tiempos son del orden de decenas de milisegundos. Incluso los costos para otras técnicas son superiores.

Continuidad de fase: Por la estructura que posee un DDS, cuando las frecuencias son conmutadas, éste lo hace de la manera más continua y suave posible. Gracias a esto, es que es posible utilizar este tipo de sintetizadores en barridos de frecuencia y modulaciones especiales, donde se necesita la fase continua. De hecho, los DDS es la única práctica

correcta en aplicaciones de modulación como FSK (*Frequency Shift Keying*), MSK (*Modified Shift-Keying*), GMSK (*Gaussian Minimum Shift-Keying*); popular para aplicaciones de celular; y que requieren de transición de fase sin interrupciones.

Cuantificación: Es importante señalar que debido al hecho que se utiliza una longitud de palabra finita en el DAC, los errores de cuantificación digital son la causa de generación de errores periódicos de cuantificación en la amplitud de la señal analógica. Hoy en día esta es la principal desventaja de los DDS, y los diseños actuales no logran un rechazo de señales espurias menor a 65 dB [2].

Calidad de la señal: Este parámetro afecta a todos los sistemas que, en forma similar a los DDS, trabajan en el dominio de la frecuencia y determina la degradación del espectro de la señal de salida respecto del espectro ideal.

1.11 Ventajas y desventajas de los DDS.

Algunas de las ventajas que poseen los DDS son:

- La frecuencia de la señal sinusoidal se sintoniza digitalmente, típicamente con resoluciones de menos de un 1Hz.
- La fase de la onda sinusoidal es digitalmente ajustable, con sólo un ligero aumento en la complejidad del circuito.
- Debido a que el DDS es digital, la frecuencia y la fase son determinadas numéricamente, no hay errores de la señal por el cambio de temperatura o por el envejecimiento de los componentes.
- El salto de frecuencia a frecuencia, o de fase es extremadamente rápido.
- La interfaz del control digital de la arquitectura de los DDS facilita el medio donde este sistema puede ser controlado remotamente y optimizado con una alta resolución bajo el control del procesador o microcontrolador.
- Control preciso de la frecuencia de salida sin afectar la fase.
- Rápidos cambios arbitrarios tanto como en frecuencia, como en fase.
- Modulación precisa.

Algunas desventajas que poseen los DDS son:

- La frecuencia de salida debe ser menor o igual a la mitad de la fuente del reloj de referencia.
- La amplitud de la señal sinusoidal es fija, esto debido a la naturaleza del DAC interno del DDS. Esta amplitud puede ser modificada con circuitos externos adicionales.

- Debido a que la señal sinusoidal es generada digitalmente por técnicas de muestreo, el usuario debe aceptar una pequeña cantidad de distorsión, esto es que la señal no es 100% pura. Esto se resuelve con un filtro pasa bajos de reconstrucción [7].

1.12 Generalidades sobre la Radio Definida por Software (SDR).

Tradicionalmente los equipos receptores y transceptores de radiocomunicaciones son equipos constituidos por multitud de componentes electrónicos los cuales forman circuitos sintonizadores, etapas de frecuencia intermedia, detectores, amplificadores de baja frecuencia y otros. Posteriormente, en los años 1980 y 1990 se introdujeron microprocesadores en estos equipos para el control de funciones internas y para añadir nuevas prestaciones.

En la década de 1990 comenzó la introducción en los modernos equipos de radio de los CI DSP (*Digital Signal Processor*) o procesadores digitales de señal, los que permiten mediante técnicas digitales realizar filtros de paso de banda y de supresión de ruidos, entre otras posibilidades, muy eficaces, mejor que los realizados tradicionalmente con circuitos analógicos. En cualquier caso, siempre se trata de equipos de radio realizados enteramente con componentes electrónicos, o sea, en términos informáticos se definirían como "radios hardware".

Pero desde principios de la década del 2000 se viene investigando y desarrollando un nuevo concepto de equipos de radiocomunicaciones, los equipos de radio desarrollados por programa o "radios software", en los que la parte del hardware (circuitaría) es mínima y la mayor parte de las funciones que definen un equipo de radio se definen por software en una PC, dotada de tarjeta de sonido (requisito necesario) [8]. En la Figura 1.10 se observa uno de los modelos de SDR.



Fig. 1.10. Transceptor SDR-1000 (Fuente: [8]).

1.11.1 Definición de SDR.

Un SDR tiene casi todos sus "componentes" definidos y funcionando en forma de programas en una computadora, a excepción de un mínimo de componentes físicos necesarios, externos al mismo, que no pueden ser definidos por software. Mientras no sea activado ese software o conjunto de programas, el equipo de radio no será tal, sino que será un simple conjunto de unas cuantas placas electrónicas externas, incapaces de hacer nada práctico. Es el software que se hace funcionar en la computadora el que define el esquema de modulación a emplear, el tipo de silenciador, cómo actúa el AGC (*Automatic Gain Control*) y en general todo el equipo de radio. Además una radio SDR es muy flexible, ya que modificando o añadiendo nuevos programas se consigue modificar sus funcionalidades, mejorando sus prestaciones. Ello permite también acomodar el SDR a las necesidades de cada tipo de usuario (radioaficionados, servicios de emergencias, entre otras).

1.11.2 Conversión de frecuencia en un transceptor SDR (oscilador local).

La primera etapa en el funcionamiento del SDR es lograr que la señal de radiofrecuencia sea trasladada a frecuencias muy inferiores, es decir, al rango de las frecuencias de audio. El sistema más utilizado para convertir una señal de una banda de frecuencias a otra es mediante el uso de un mezclador, el cual combina dos señales, la que recibimos en la antena, con la procedente de un **oscilador local** que entrega una señal pura sin modular y muy estable en frecuencia.

Esto es típico en los receptores superheterodinos para convertir la señal recibida a frecuencia intermedia. En la salida del mezclador tendremos señales cuyas frecuencias serán la suma y la resta de las frecuencias aplicadas en ambas entradas del mezclador, la de la señal de antena y la generada en el oscilador local. Existen otros métodos para la conversión de frecuencia en un SDR siendo factor común en todos, la utilización de un oscilador local para este proceso.

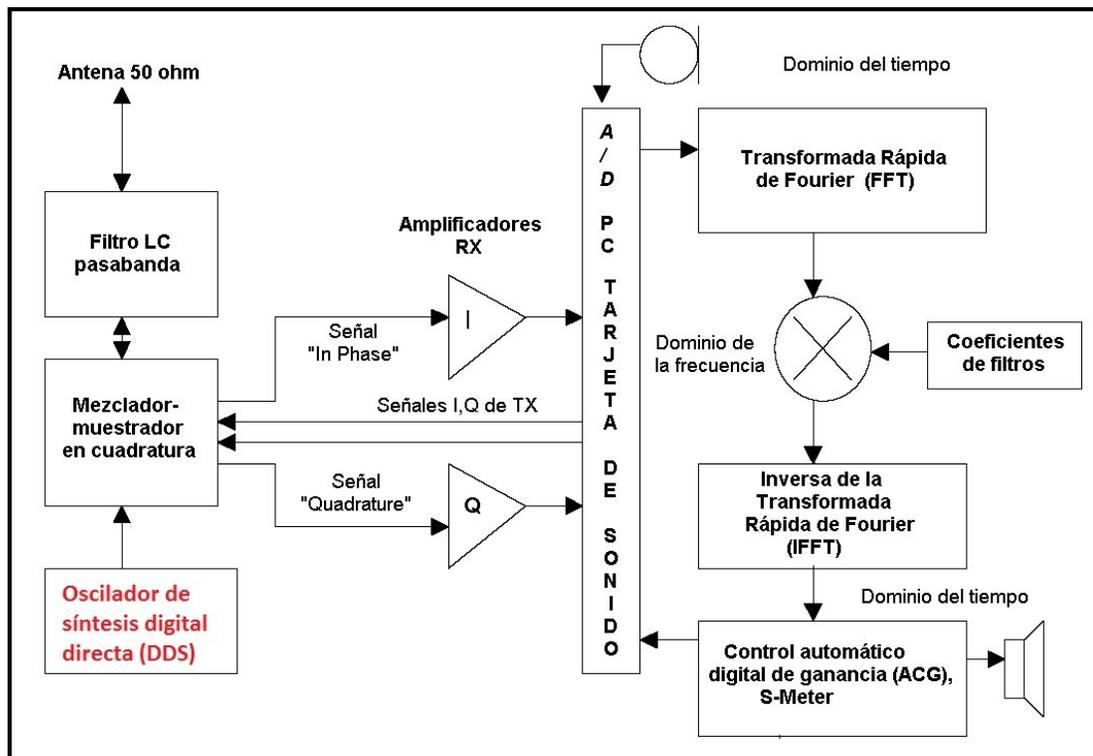


Fig. 1.11. Diagrama de bloques del SDR-1000 (Fuente: [8]).

La Figura 1.11 muestra la utilización de un sintetizador digital directo como oscilador local en el funcionamiento de un SDR comercial. Los equipos SDR más potentes disponen de este tipo de oscilador local. El empleo de esta técnica se justifica debido a las grandes prestaciones de la misma con la posibilidad de ser ajustada en frecuencia, fase y amplitud. El generador de frecuencias mediante síntesis digital directa es un oscilador maestro a cristal de alta calidad y generalmente se encuentra en una placa independiente del resto del circuito. Este tipo de oscilador permite ser controlado a través de un microcontrolador desde el software SDR de la computadora, una ventaja propia de este sistema. Además permite entregar una señal muy estable en frecuencia y con bajo nivel de ruido lo cual es fundamental en el proceso de conversión de frecuencia. Por solo poner un ejemplo, para el

caso específico del transceptor SDR-1000 el módulo DDS está basado en el CI AD9854, usa una frecuencia de reloj de 200 MHz, tiene una resolución de 1 microhertzio, y un ruido de fase de 1 picosegundo máximo

CAPÍTULO 2. IMPLEMENTACIÓN DE UN SINTETIZADOR DIGITAL DIRECTO DE FRECUENCIA.

En la actualidad la forma más rápida y eficiente de generar frecuencias es a través de los denominados DDFS o simplemente DDS. Esta es la técnica de síntesis de frecuencia desarrollada más recientemente y de mejores resultados.

Todas las otras técnicas de generación de señal se basan en alguna clase de oscilador cuya salida es controlada por el sintetizador. El DDS es único porque es digitalmente determinístico, las mismas entradas siempre producirán invariablemente las mismas salidas. La señal que este genera, se sintetiza desde una definición digital del resultado deseado. Un DDS utiliza lógica y memoria para construir digitalmente la señal de salida deseada, también dispone de un dispositivo de conversión de datos para traducir los datos del dominio digital al analógico.

Uno de los generadores de DDS más distintivos es el CI AD9850, en el cual se basa el funcionamiento de este proyecto. En este capítulo se expondrán algunas de sus principales características, además se explicará en detalle las principales partes del circuito eléctrico implementado.

2.1 El Circuito Integrado AD9850.

En la actualidad el método principal utilizado para poder generar digitalmente una forma de onda que pueda ser controlada mediante un código digital se hace a través de los generadores de DDS. El circuito integrado AD9850 de *Analog Devices* es uno de los sintetizadores digitales directos de moderna generación más utilizados en la actualidad. Gracias al avance de la tecnología en integración de circuitos integrados, estos dispositivos cuentan en su interior con la mayoría de bloques que se necesitan para la síntesis de frecuencia mediante DDS. Este hecho facilita la implementación de este tipo de sintetizadores ya que solo se requieren pocos componentes adicionales. En la Figura 2.1 se muestra el diagrama de bloques básico interno del AD9850.

El AD9850 utiliza un algoritmo patentado e innovador que matemáticamente convierte el valor de los 14 bits truncados del acumulador de fase a un valor apropiado. Este algoritmo único emplea solo una pequeña parte de la memoria ROM de la tabla *look-up* y técnicas de procesamiento digital de señales para mejorar esta función, lo que contribuye al pequeño tamaño y baja disipación de potencia del AD9850.

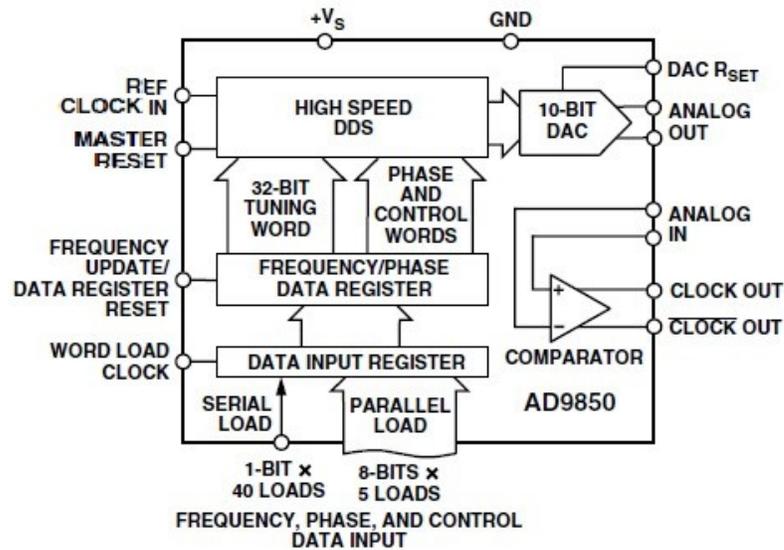


Fig. 2.1. Esquema interno en bloques del AD9850 (Fuente: [9]).

2.1.1 Descripción general.

El AD9850 es un dispositivo de alta integración que utiliza la más avanzada tecnología de DDS junto a un comparador y un convertor digital-analógico (DAC) de alto rendimiento y velocidad para formar un completo sintetizador de frecuencia digitalmente programable y generador de reloj. Cuando está referenciado a una fuente de reloj precisa, este dispositivo genera a la salida una onda sinusoidal analógica programable en frecuencia y fase con una excelente pureza espectral. Esta señal sinusoidal de salida se utiliza directamente como fuente de señal o puede ser convertida en una señal cuadrada para aplicaciones de reloj de alta velocidad.

La innovadora técnica de alta velocidad de los DDS del AD9850 utiliza una palabra de 32 bits para el control de la frecuencia, lo que permite una resolución de sintonía de 0,0291 Hz con una frecuencia de reloj de 125 MHz. La arquitectura de los DDS permite generar frecuencias hasta la mitad de la frecuencia de reloj que se utilice, es decir, hasta 62,5 MHz si el reloj es de 125 MHz y la frecuencia puede ser cambiada digitalmente (asincrónicamente) hasta 23 millones de frecuencias diferentes cada segundo. El CI también provee de 5 bits de modulación de fase controlados digitalmente, con saltos de fase en la salida que pueden incrementarse en 180°, 90°, 45°, 22.5°, 11.25° y cualquier combinación de estos.

El AD9850 también contiene un comparador de alta velocidad que puede ser configurado para aceptar (externamente) la salida filtrada del DAC para generar una salida de onda cuadrada con un bajo nivel de ruido.

El DDS AD9850 emplea tecnología avanzada CMOS para proveer este gran nivel de funcionalidad y rendimiento con sólo 380 mW de disipación de potencia (5V de alimentación), es debido a estas excelentes prestaciones que se escoge este circuito integrado para el proyecto que se pretende desarrollar.

2.1.2 Diagrama de terminales.

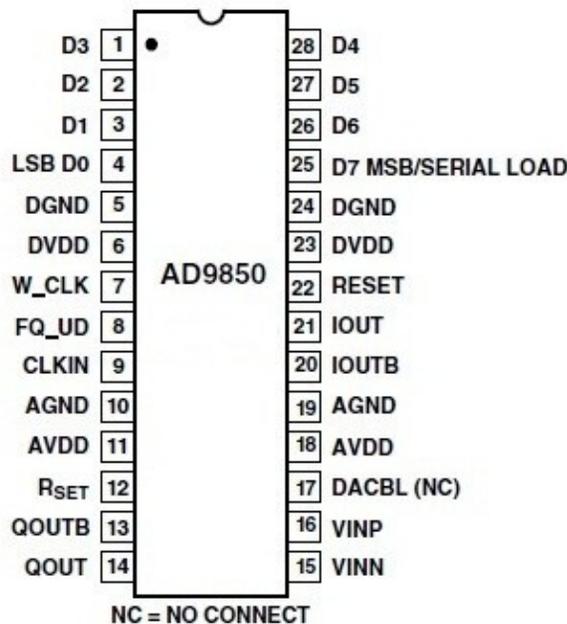


Fig. 2.2. Diagrama de terminales del AD9850 (Fuente: [9]).

La Tabla 1 describe los terminales del AD9850 y sus funciones.

Tabla 1. Descripción de terminales del AD9850.

Número de terminal.	Nombre	Función
De 1 a 4, 25 a 28	D0 a D7	Entrada de datos de 8 bits. Este es el puerto de datos de 8 bits para la lectura de los 32 bits de la palabra de frecuencia y los 8 de la palabra fase y de control. D7 = MSB; D0 = LSB.
5, 24	DGND	Tierra digital. Esta es la tierra para la sección digital del circuito.
6, 23	DVDD	Fuente de voltaje para el circuito digital.

7	W_CLK	Palabra de carga del reloj. Este reloj es usado para cargar las palabras de fase, frecuencia y control de forma serie o paralelo.
8	FQ_UD	Actualización de frecuencia. Cada vez que ocurre un pulso de reloj, el DDS actualiza la frecuencia (o fase) de los datos cargados en el registro de entrada y entonces resetea el puntero de la palabra a 0.
9	CLKIN	Entrada de reloj de referencia. Esta puede ser un tren de pulsos continuos de nivel CMOS o una señal proveniente de un oscilador.
10, 19	AGND	Tierra analógica. Para la parte analógica del circuito (DAC y el comparador).
11, 18	AVDD	Fuente de voltaje para el circuito analógico (DAC y el comparador).
12	Rset	Conexión externa de la Rset del DAC. Este valor de resistor pone la corriente de salida del DAC en escala completa. Para aplicaciones normales, su valor es de 3,9 kΩ conectada a tierra.
13	QOUTB	Salida complementaria. Esta es la salida complementaria del comparador.
14	QOUT	Salida verdadera. Esta es la salida verdadera del comparador.
15	VINN	Entrada de voltaje inversora. Esta es la entrada inversora del comparador.
16	VINP	Entrada de voltaje no inversora. Esta es la entrada no inversora del comparador.
17	DACBL (NC)	Este es el voltaje de referencia del <i>baseline</i> del DAC, normalmente no se conecta para tener un rendimiento óptimo.
20	IOUTB	Salida analógica complementaria del DAC.
21	IOUT	Salida analógica verdadera del DAC.
22	RESET	Esta es la función de <i>reset</i> , cuando está en nivel alto, limpia todos los registros (excepto el registro de entrada)

2.1.3 Programación del AD9850.

El AD9850 contiene un registro de 40 bits que se emplea para programar los 32 bits de la palabra de control de frecuencia, los 5 bits de la palabra de modulación de fase y la función de *power-down*. Este registro se carga de forma serie o paralelo. En el modo paralelo, el

registro se carga mediante un bus de 8 bits, la palabra completa de 40 bits requiere de cinco iteraciones de este bus. Las señales W_CLK (*Word Clock*) y FQ_UD (*Frequency Updated*) para direccionar y cargar los registros. La carga de la palabra de control en el modo serie se efectúa enviando 40 bits al terminal 25 (D7) del bit de menor peso al bit de mayor peso, después de cada uno de los bits se envía un pulso alto a W_CLK y al final de cada carga se envía un pulso alto a FQ_UD para actualizar la frecuencia de salida del DDS. Cada movimiento de frecuencia implica una nueva carga de 40 bits. El AD9850 admite los datos de control a una velocidad muy alta, los pulsos necesitan una duración mínima de tan solo unos pocos nanosegundos, esto permite realizar cambios de frecuencias tan rápidos que resultan inapreciables en tiempo real.

Es preciso aclarar que existen códigos de control específicos utilizados para propósitos de prueba en las fábricas, que pueden dejar temporalmente inoperable el CI AD9850. El usuario debe evitar la entrada de datos en los códigos registrados en la Tabla 2.

Tabla 2. Códigos de control de pruebas reservados internamente (Fuente: [9]).

Formato de carga	Códigos reservados
Paralelo	1) W0 = XXXXXX10
	2) W0 = XXXXXX01
Serie	1) W32 = 1; W33 = 0
	2) W32 = 0; W33 = 1
	3) W32 = 1; W33 = 1

2.2 Operación del AD9850 como generador de reloj.

El AD9850 emplea el sistema DDS como un oscilador controlado numéricamente para generar una onda sinusoidal ágil en frecuencia y fase. La senoide digital de salida es convertida a su forma analógica mediante un DAC interno de 10 bit de alta velocidad y un comparador de alto rendimiento se utiliza para traducir esa senoide de salida en una onda cuadrada compatible con la tecnología TTL (*Transistor-to-Transistor Logic*)/CMOS de muy bajo ruido. La salida de señal sinusoidal se conecta a dos resistencias de un mismo valor, así se logra un divisor de voltaje que pone la salida de señal cuadrada a la mitad de potencial de este terminal. Se coloca un condensador del terminal 13 a tierra con el objetivo de estabilizar el voltaje presente en este terminal. El filtro pasa bajos diseñado en los módulos de distintos fabricantes varía de orden 5 a orden 7 generalmente. En el proyecto

que se pretende implementar se construye un filtro de orden 3 para el filtrado de la señal de salida. El diagrama en bloques básico del AD9850 configurado como generador de reloj se expone en la Figura 2.3.

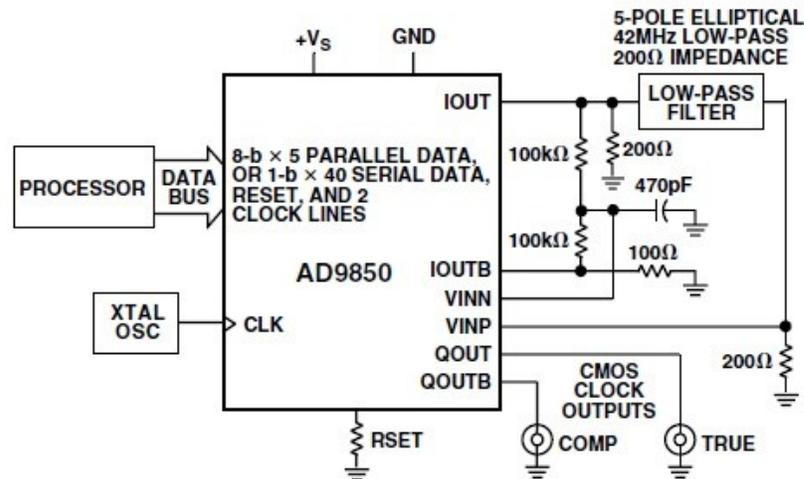


Fig. 2.3. Función básica de generador de reloj del AD9850 con filtro pasa bajos (Fuente: [9]).

Este circuito se toma como referencia para la implementación del equipo que se propone más adelante. Fundamentalmente funciona como un divisor digital de frecuencia donde el incremento de fase (resolución) está determinado por la frecuencia del reloj de referencia dividido por el número de bits de 2^N de la palabra de sintonía. El acumulador de fase es un módulo que incrementa el número registrado en su memoria cada vez que recibe un pulso de reloj. El ancho o tiempo entre los incrementos de fase determina la frecuencia de salida real de la arquitectura DDS. El valor binario del ancho de fase determina la variación de frecuencia mínima, es decir, los saltos más pequeños de frecuencia que puede efectuar los DDS. El AD9850 proporciona una señal de amplitud de 0.3 V y un nivel de continua de 0.35 V. El diagrama en bloques del módulo DDS completo que se va a implementar se muestra en la Figura 2.4.

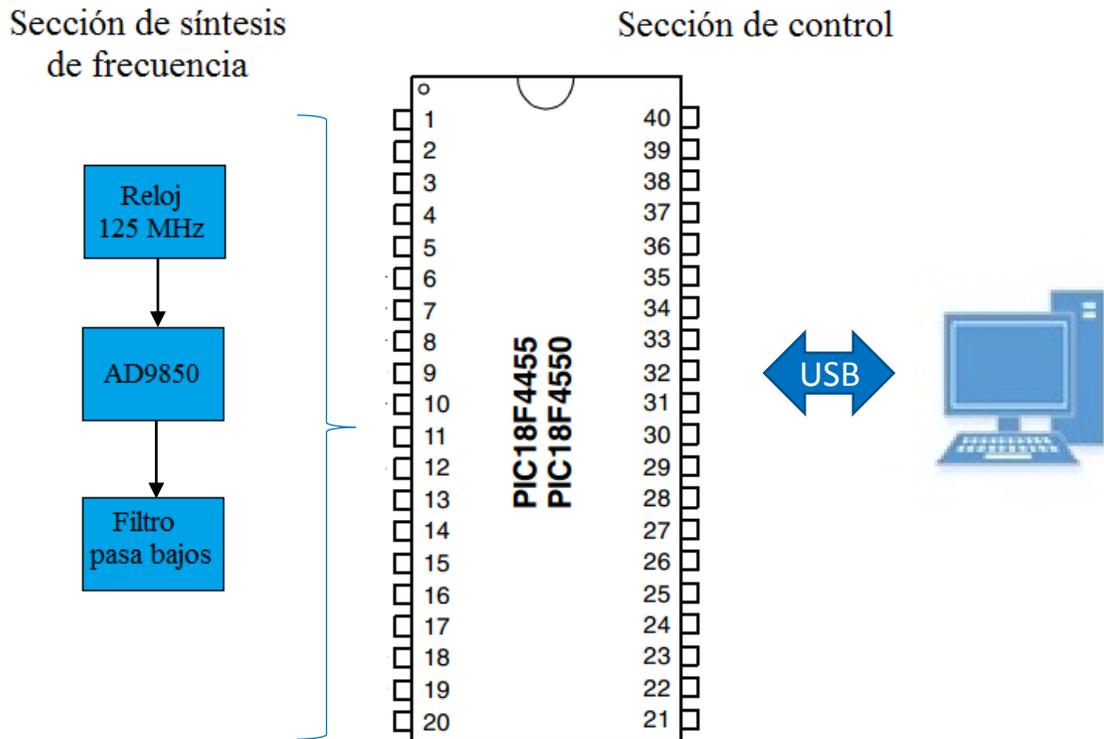


Fig. 2.4. Diagrama en bloques del módulo completo DDS.

El objetivo principal de este trabajo radica en el diseño y construcción de la sección sintetizadora aunque se describirá brevemente la aplicación realizada para manejar al sintetizador. La sección de síntesis de frecuencia está compuesta por 3 partes principales: el CI AD9850, el reloj de referencia y el filtro de reconstrucción. El microcontrolador PIC que maneja el DDS se encuentra en otra tarjeta y cuenta con distintos periféricos, entre ellos, el puerto USB que se utiliza para la programación del PIC y la alimentación del circuito completo. En una segunda versión de este proyecto se plantea diseñar una tarjeta que incluya ambas partes en una sola placa PCB independiente.

2.3 Alimentación y conexión USB.

La comunicación con la PC como se ha dicho anteriormente se realiza por medio del puerto USB. El protocolo USB utiliza solamente 4 líneas, las cuales se observan en la Figura 2.5, dos de ellas son la alimentación que provee el puerto de 5V y GND, y las otras dos son los datos D+ y D-. Debido a que el protocolo USB maneja niveles lógicos de 0 a 5V no es necesario convertir la señal, ya que el microcontrolador utiliza esos niveles de voltaje, por lo que su conexión es directa.



Pin	Uso
1	Vcc +5 Voltios
2	Dato -
3	Dato +
4	Gnd

Fig. 2.5. Terminales del conector USB (Fuente: [10]).

En la Figura 2.6 se muestra el microcontrolador utilizado y se pueden observar los terminales D+ y D- para la conexión USB. El D- está especificado en el pin número 23 y el D+ en el pin 24, en este proyecto la alimentación del puerto USB de 5V es utilizado para alimentar el microcontrolador PIC y el DDS AD9850 y este es capaz de proporcionar 500 mA de corriente continua. La tarjeta donde se encuentra el PIC18F4550 utiliza un conector tipo B para el dispositivo y uno tipo A para la conexión a la computadora.

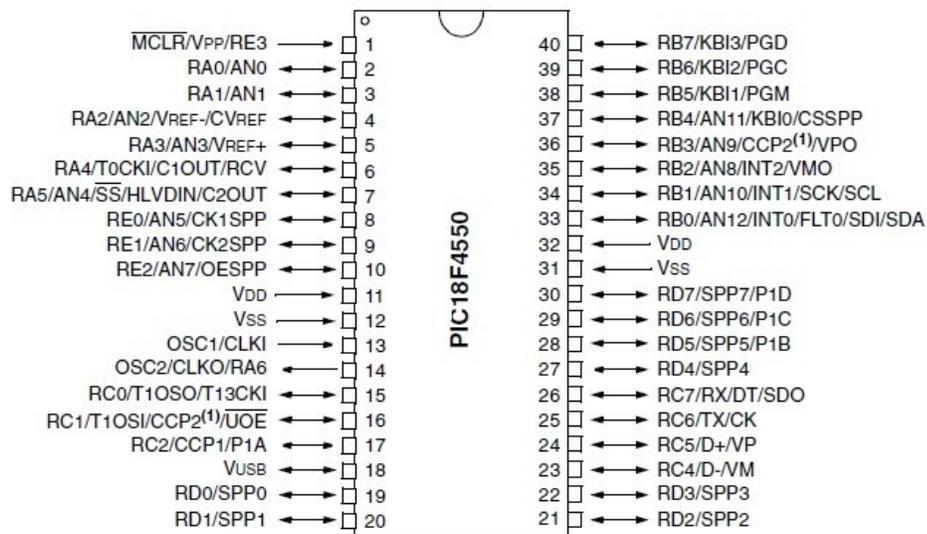


Fig. 2.6. Diagrama de terminales del microcontrolador PIC 18F4550 (Fuente: [11]).

2.4 Diseño e implementación del sintetizador digital directo de frecuencia.

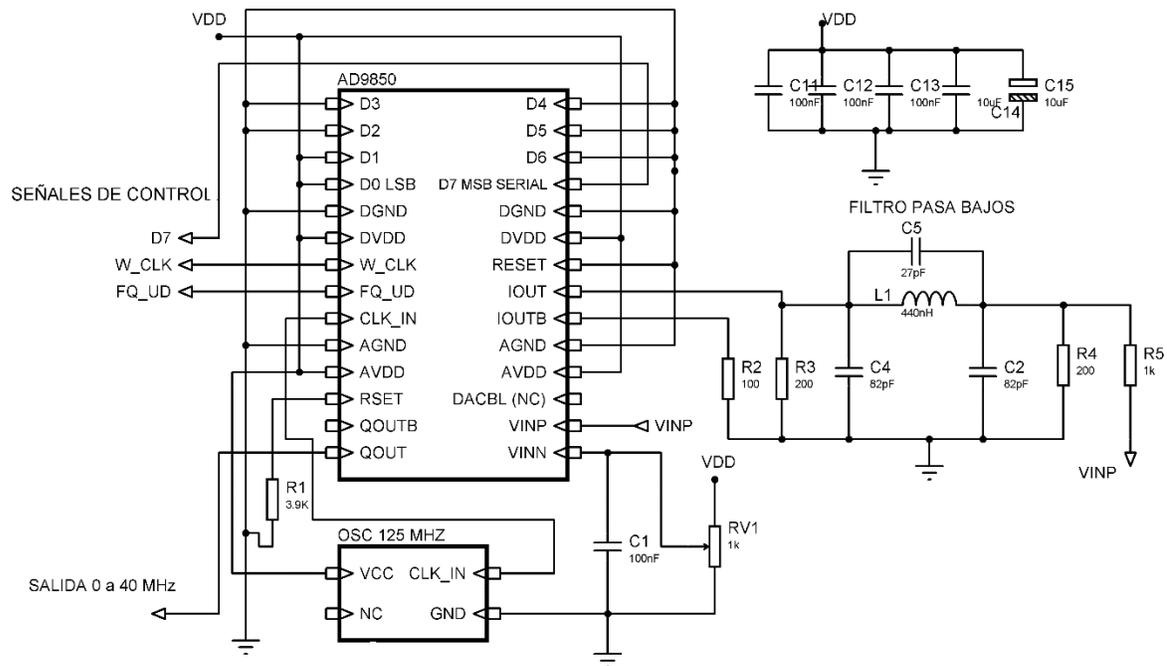


Fig. 2.7. Esquema eléctrico del sintetizador digital directo de frecuencia.

Se han estudiado diversas disposiciones para la implementación de este circuito, finalmente se ha optado por realizar una variación de su aplicación como generador de reloj tomada del *datasheet*. El diseño del esquemático se basó también en los distintos módulos desarrollados por los fabricantes en este tipo de trabajo. De las primeras conexiones a tener en cuenta en el CI AD9850 son que, para la operación en modo serial se colocan el terminal 2 a tierra (GND) y los pines 3 y 4 a VDD (Figura 2.8).

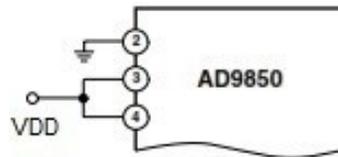


Fig. 2.8. Conexión por defecto para operación en modo serie (Fuente: [9]).

Se colocó una resistencia de 3,9 kΩ del terminal 12 a tierra, este valor de resistor pone la corriente de salida del DAC en escala completa. Se utilizó una sola fuente de alimentación proveniente del puerto USB para los terminales de alimentación analógica y digital; así como también se unieron ambas tierras. Para garantizar la estabilidad del circuito ante ruido, se utilizaron varios condensadores de desacople de 100 nF colocados entre VDD y tierra. Con tal de lograr un mejor desempeño de estos condensadores se tuvo en cuenta

colocar al menos uno de ellos cercano al CI. La salida de señal del DDS es a través del terminal 21 (IOUT) y se filtra mediante un sencillo filtro pasa bajos de orden 3 el cual se describe más adelante. La impedancia de entrada y salida del filtro es fijada a 200 ohmios.

El oscilador de referencia utilizado consta de 4 terminales: el terminal 1 no se conecta, la salida de reloj va conectada al terminal 9 del AD9850 y los dos pines restantes constituyen la alimentación y tierra. Después de evaluar distintas soluciones para esta implementación se decidió utilizar un reloj de referencia de 125 MHz del tipo VXCO (*Voltage Controlled Crystal Oscillator*) con una precisión de hasta 6 decimales. La Figura 2.9 muestra este tipo de encapsulado así como la descripción de sus terminales.

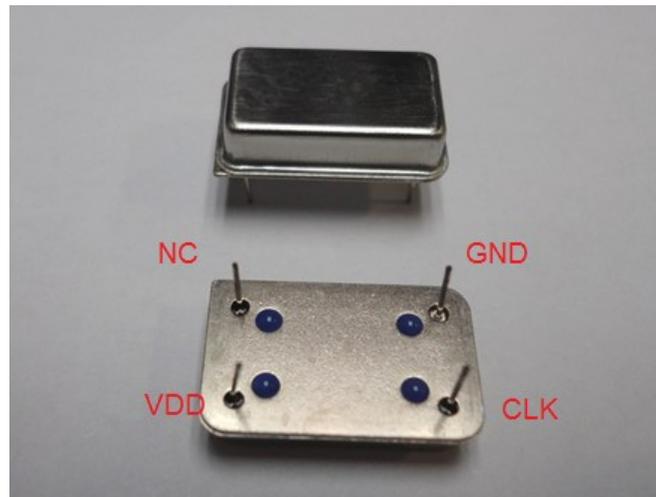


Fig. 2.9. Oscilador de referencia de 125 MHz.

La salida de la señal de onda cuadrada del DDS se acopla a un conector BNC (*Bayonet Neill-Concellman*), con tal de evitar interferencias en la salida producidas por otra parte del circuito. El conector utilizado se observa en la Figura 2.10.



Fig. 2.10. Conector BNC hembra.

El potenciómetro de 10K presente en el circuito eléctrico va conectado al terminal inversor del comparador y se emplea para ajustar la amplitud y el ciclo útil de la señal de onda cuadrada de salida. Se ubicó un led de matiz rojo para indicar que el equipo está encendido. El encapsulado del integrado AD9850 utilizado es del tipo SSOP (*Shrink Small Outline Package*) de montaje superficial de 28 contactos y tamaño ultra miniatura, el cual es difícil de manipular y se debe tener cuidado con su implementación. La Figura 2.11 expone las dimensiones en milímetros de este tipo de encapsulado para el CI AD9850.

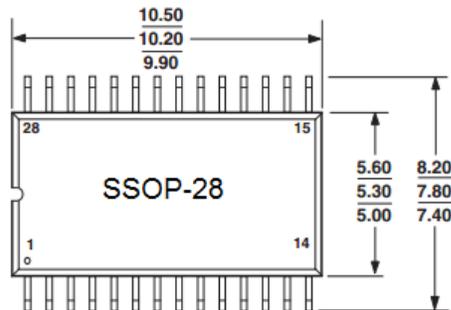


Fig. 2.11 Dimensiones del CI AD9850 en milímetros.

Una precaución a tener en cuenta es que el AD9850 es sensible a las descargas eléctricas producidas por la estática del cuerpo humano, por lo que nunca se debe tocar mientras se encuentre encendido el equipo, ya que podría causar daños irreversibles al mismo o alterar su funcionamiento.



Fig. 2.12. Dispositivo sensible a la estática (Fuente: [9]).

El circuito impreso del sintetizador fue realizado en el programa Ares 7 Profesional ya que es un software de diseño apto para aplicaciones digitales e incluso para las de alta frecuencia. Se hizo el ruteado del PCB de forma manual, teniendo especial cuidado con las pistas involucradas en los componentes de frecuencias elevadas como el oscilador y el AD9850 y a su vez, tratando de obtener el diseño más robusto y compacto posible. También se evitó utilizar pistas de líneas digitales debajo del integrado ya que estas pueden inducir ruido dentro del mismo. Otra de las medidas para garantizar una construcción eficiente del PCB fue pintar las pistas de alimentación tan grandes como fuera posible, esto evita en

parte el *glitch* producido en las líneas de la fuente de alimentación. Se fabricó el diseño en una placa PCB simple con dimensiones 7.5x8 cm. En la Figura 2.13 se observa el circuito impreso que contiene la sección de síntesis:

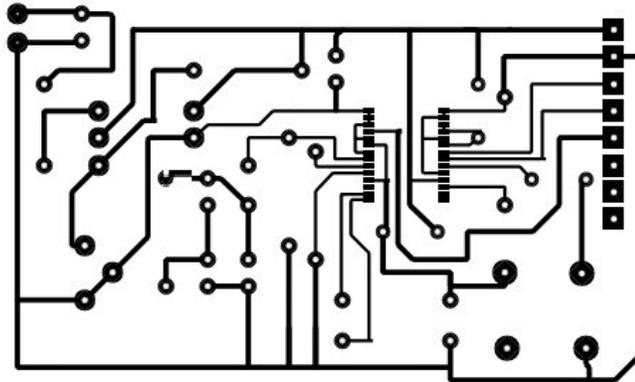


Fig. 2.13. Circuito impreso del DDS.

Se utiliza un conector de 8 terminales para la conexión de las señales de control hacia la tarjeta donde se encuentra el microcontrolador PIC. A su vez se utiliza un cable coaxial independiente para la salida de la señal que va acoplada al conector BNC. El sintetizador digital directo implementado que presenta un rango de frecuencias de salida de 0 a 40 MHz y se utiliza como oscilador local para el transceptor SDR, se muestra en la Figura 2.13. En esta figura se señalan algunas de las partes principales del circuito realizado.

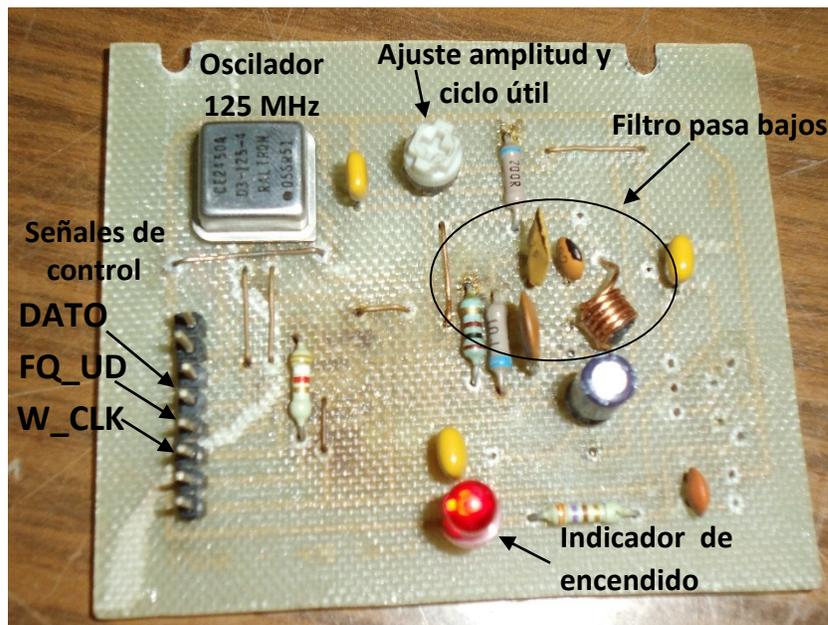


Fig. 2.14. Circuito eléctrico implementado (vista superior).

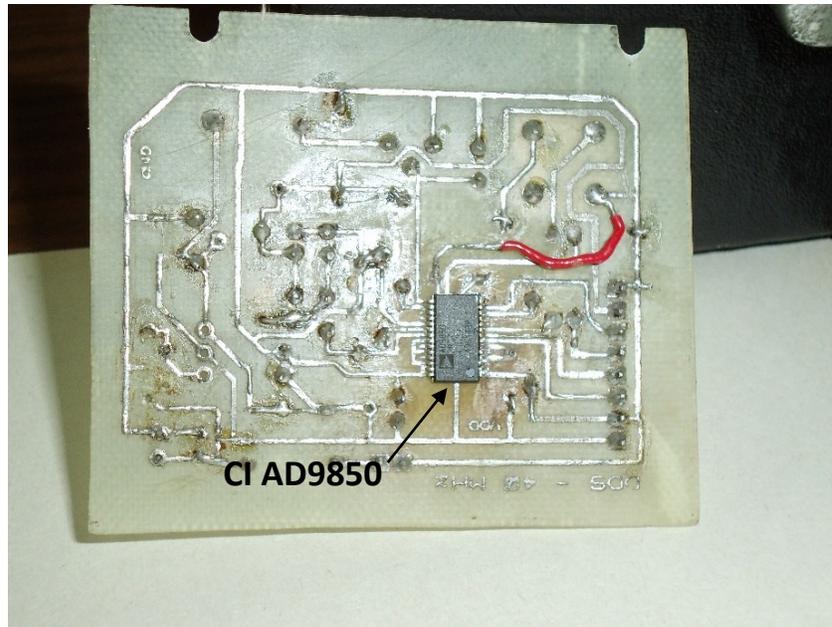


Fig. 2.15. Circuito eléctrico implementado (vista inferior).

En la Figura 2.15 se puede observar el montaje del CI AD9850 en la cara correspondiente a las pistas, esto se debe a que no se logró realizar un diseño doble capa por no contar con el material requerido en ese momento.

2.3 Diseño del filtro de salida.

Para la selección del filtro de reconstrucción de salida, se procedió a realizar primeramente una simulación del comportamiento del sintetizador en una página web que brinda el fabricante, que entre otras cosas, permite evaluar el nivel de armónicos y la forma de la señal de salida del sintetizador para distintos filtros sintetizables por teoría de aproximación. Teniendo en cuenta estas simulaciones y que deseamos el mayor rango de frecuencia posible, se decide utilizar un sencillo filtro pasa bajos tipo Cauer de orden 3, con frecuencia de corte a -3 dB en 42 MHz. También se escoge esta familia de filtros ya que permite obtener una respuesta abrupta a la frecuencia de corte definida. Para el diseño del filtro en primer lugar se consultaron las tablas descritas en la referencia [12].

El método de diseño propuesto según estas tablas implica la resolución de cálculos matemáticos dificultando este proceso. Por esta razón se decide diseñar el filtro pasa bajos en el programa *SVC Filter Designer*, obteniéndose así el valor de los componentes necesarios para su construcción y la respuesta del mismo. El software calcula los componentes a utilizar según la topología o familia de filtro que se vaya a adoptar, también tiene en cuenta parámetros como ancho de banda e impedancia de entrada y salida. En la

Figura 2.16 se muestra el diseño del filtro tipo Cauer, los valores de color azul representan los valores de los inductores y capacitores reales con una tolerancia de un 5%.

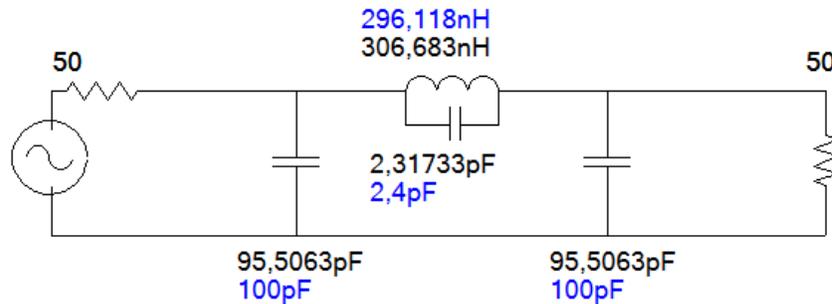


Fig. 2.16. Esquema del filtro de reconstrucción (pasa bajos).

2.4 Software de control.

Este software es el encargado de brindar una interfaz al usuario, que le permita interactuar con el dispositivo y se encarga de generar las señales de control para el sintetizador. Es tarea del programador crear un programa que sea fácil de emplear, de manera que el usuario pueda familiarizarse con él de forma rápida y que sea a prueba de fallas o errores por parte del mismo.

De gran importancia para el control del DDS es el microcontrolador PIC18F4550 ya que ofrece la ventaja de una comunicación vía USB con la computadora. La comunicación USB es muy utilizada hoy en día y es de gran utilidad para este tipo de aplicaciones que implican la transmisión de datos de forma serie hacia la PC. En la Figura 2.17 se observa como el equipo es reconocido por la computadora.



Fig. 2.17. Mensaje del sistema operativo reconociendo el dispositivo.

La aplicación contiene un teclado numérico donde se puede ingresar la frecuencia que se desea generar. El *firmware* del microcontrolador que es el programa que ejecuta las funciones definidas del mismo, fue realizado en el compilador MikroC Pro v6.0 basado en el lenguaje C de alto nivel. Este compilador permite la programación vía USB del microcontrolador PIC a través de un software conocido como *Bootloader* que permite la

actualización del *firmware* del microcontrolador en cualquier instante. La parte más importante de la programación es la encargada de controlar el AD9850, este cuenta con todas las funciones que permiten configurar el circuito integrado para hacerlo funcionar.

Las tres señales de control que manejan al DDS son: W_CLK, FQ_UD y D7. En el modo serial la carga de la palabra de control se efectúa enviando 40 bits al terminal data (D7), después de cada uno de los bits se envía un pulso alto a W_CLK y al final de cada carga se envía un pulso alto a FQ_UD para actualizar la frecuencia de salida del DDS. Cada movimiento de frecuencia implica un nuevo proceso de carga de 40 bits. El AD9850 admite los datos de control a una velocidad muy alta, los pulsos necesitan de una duración mínima de tan solo unos pocos nanosegundos, esto permite efectuar cambios de frecuencia tan rápidos que resultan inapreciables en tiempo real.

La aplicación visual que controla al DDS se realizó en una primera versión en el software LabWindow CVI 2010 y en una segunda versión, con el objetivo de mejorar la aplicación anterior se realizó con el programa Microsoft Visual Studio 2013. Ambas versiones optan por utilizar el mismo algoritmo de programación, teniendo como diferencia importante el protocolo de comunicación USB. En el primer caso se utiliza la transmisión tipo *Bulk* y en Visual Studio se utiliza el formato HID. Las Figuras 2.18 y 2.19 ilustran la aplicación de control desarrollada en LabWindow CVI 2010 y Microsoft Visual Studio 2012 respectivamente.

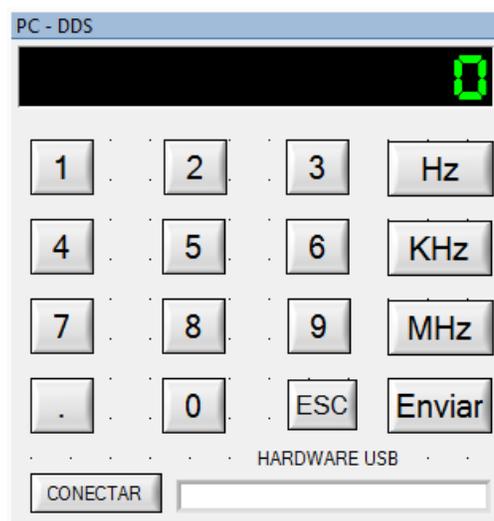


Fig. 2.18. Software de control realizado en LabWindow CVI.

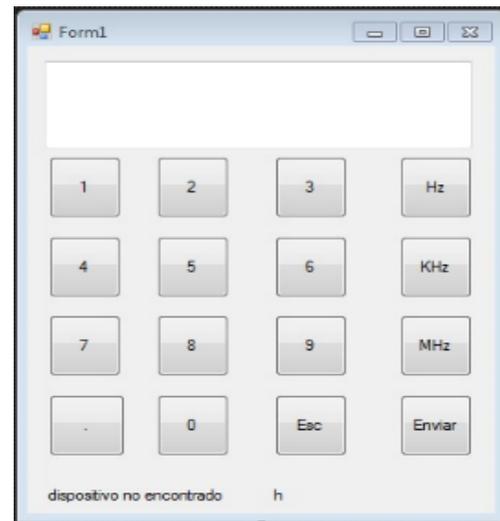


Fig. 2.19. Software de control realizado en Microsoft Visual Studio IDE.

CAPÍTULO 3. MEDICIONES Y RESULTADOS DEL SINTETIZADOR DIGITAL DIRECTO DE FRECUENCIA IMPLEMENTADO.

En todo trabajo de implementación es necesario realizar pruebas y verificar los resultados obtenidos, si es posible, comparar resultados con un proyecto similar. En este capítulo se describirán todas las pruebas que se le hicieron al proyecto, como la medición de la señal del oscilador, la generación de distintas frecuencias en la señal de salida del DDS y el análisis de la respuesta del filtro en simulación. Dichas pruebas se realizaron con material de apoyo del laboratorio de radiocomunicaciones.

3.1 Medición de la señal de salida del reloj de referencia.

La primera medición buscó verificar el buen funcionamiento del hardware del DDS. El primer paso fue medir la salida del oscilador de referencia del equipo para constatar que se encuentre en 125 MHz y esté alimentada correctamente la entrada de reloj del integrado AD9850. Este proceso se realizó con los 5V de alimentación del puerto USB. Para ello, utilizando una punta de prueba y el osciloscopio digital HAMEG se midió la señal en el terminal de salida del oscilador. Como resultado de la medición, se obtuvo en la pantalla del osciloscopio una senoide oscilando a 125 MHz con una amplitud de 976 mV pico a pico. La Figura 3.1 muestra este resultado:

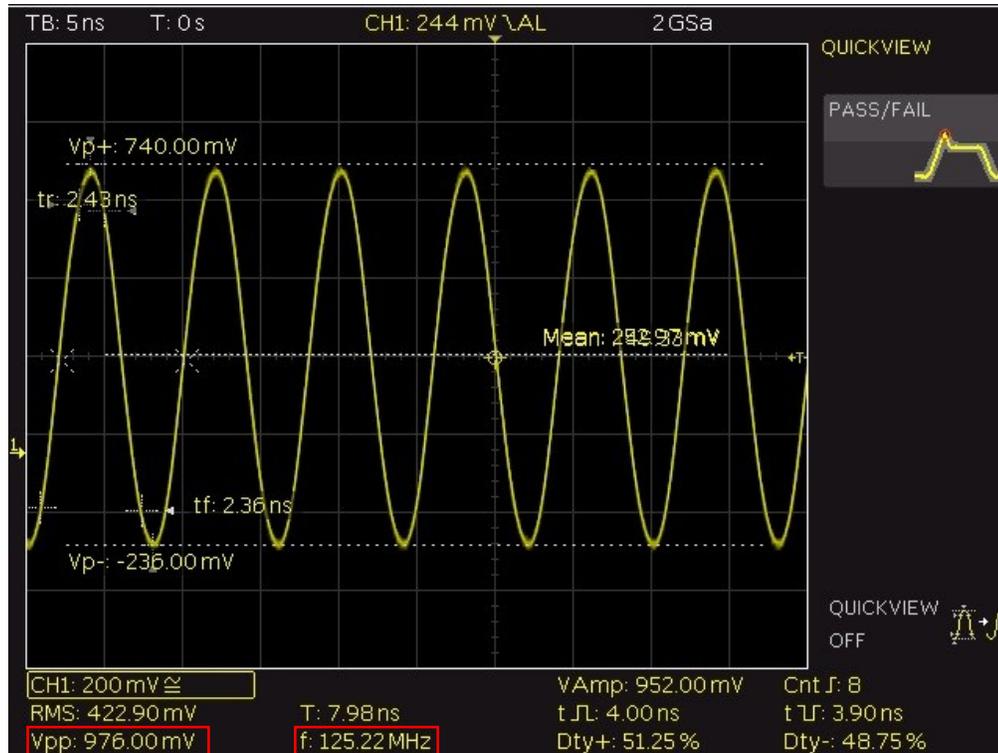


Fig. 3.1. Señal de salida del oscilador de referencia.

Después de comprobar que el integrado AD9850 estaba correctamente alimentado por el reloj de referencia, se decidió poner a prueba la respuesta en frecuencia del filtro de reconstrucción.

La simulación del filtro pasa bajos diseñado en el Capítulo 2 se realizó en el software SVC Filter Designer y se obtuvo la siguiente respuesta en frecuencia:

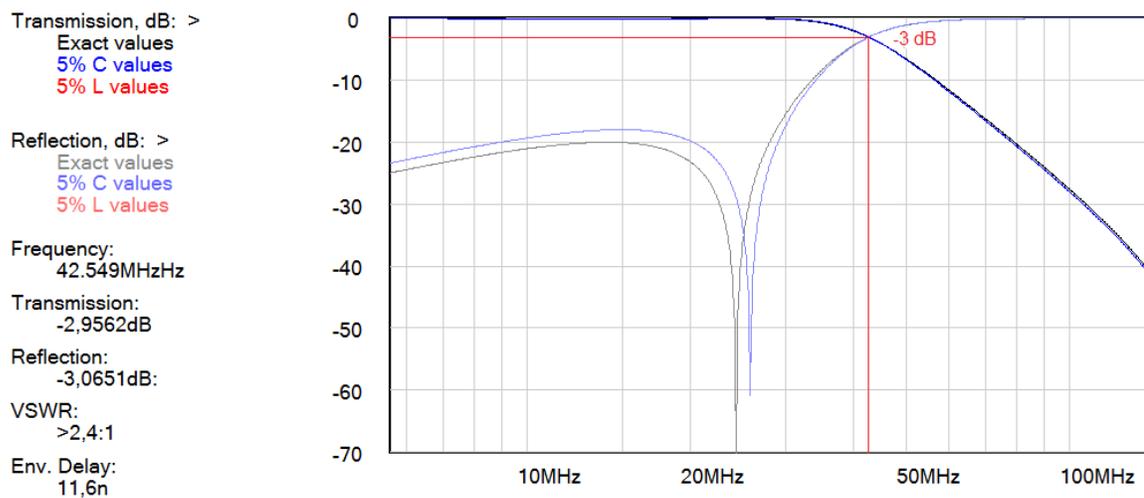


Fig. 3.2. Respuesta en frecuencia del filtro de reconstrucción (pasa bajos).

Como se puede observar en la Figura 3.2 la frecuencia de corte del filtro a -3 dB se encuentra en 42 MHz aproximadamente, este es un resultado satisfactorio ya que la máxima frecuencia que se desea generar es de 40 MHz. Además se puede apreciar que la respuesta del filtro es la adecuada para este diseño.

3.2 Prueba de la señal de salida del DDS.

Luego de garantizar la buena respuesta del filtro de salida y la señal de referencia del oscilador, se puso a prueba la generación de diversas frecuencias de la señal de salida del sintetizador. Estas señales también se midieron con el osciloscopio digital de marca HAMEG. En la Figura 3.3 puede verse la generación de una señal de onda cuadrada a 1 MHz.

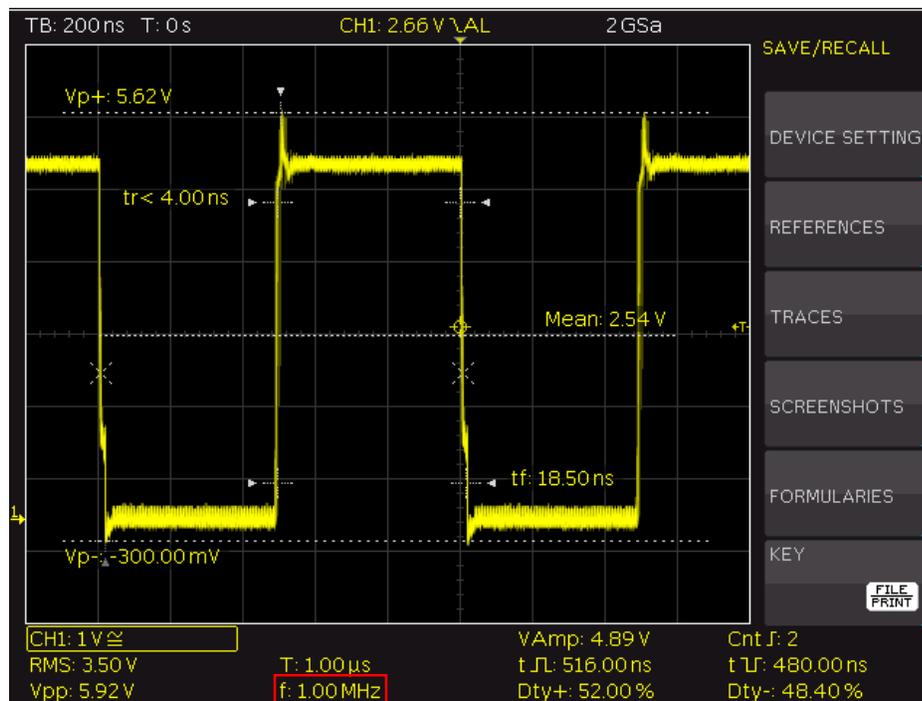


Fig. 3.3. Medición de la señal de onda cuadrada de salida a 1 MHz.

Las Figuras 3.4 y 3.5 muestran las señales de frecuencia de salida del DDS a 5 y 20 MHz respectivamente.

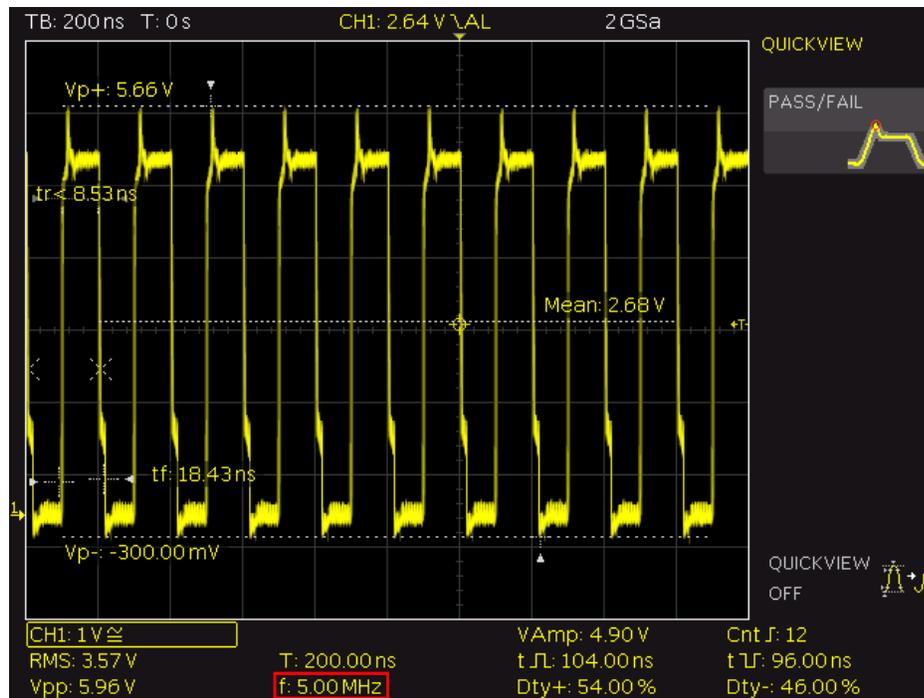


Fig. 3.4. Medición de la señal de onda cuadrada de salida a 5 MHz.

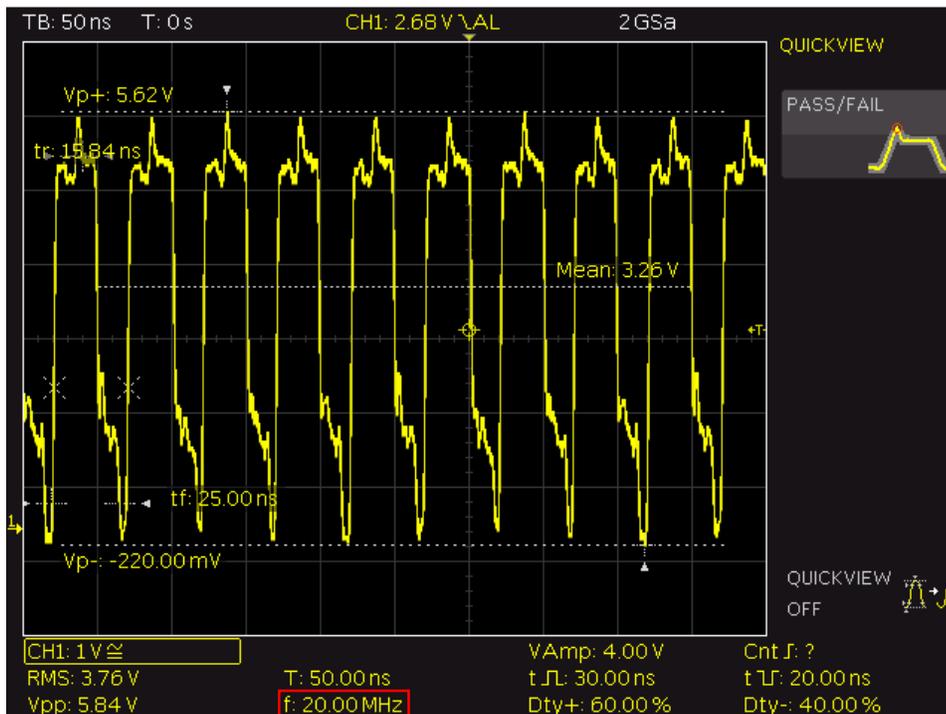


Fig. 3.5. Medición de la señal de onda cuadrada de salida a 20 MHz.

Observando las mediciones realizadas a la señal de onda cuadrada de salida del DDS, se puede comprobar que la señal presenta un pequeño rizado debido al ruido. Este es provocado por los armónicos presentes a la salida del DDS y requieren de un mejor filtrado,

por ello se plantea construir un filtro de mayor orden en una segunda versión de este proyecto para minimizar este efecto. También se observa la señal recortada a medida que se aumenta en frecuencia lo cual también es consecuencia del filtrado de la señal.

Otro de los inconvenientes presentes en la señal de salida es el *glitch* producido por la conversión de la señal sinusoidal a onda cuadrada por parte del DAC. Este fenómeno es casi imposible de eliminar ya que depende de la lógica interna de conmutación presente en el DAC.

Se puede verificar también el correcto funcionamiento del software de control, ya que la señal generada por el DDS coincide fielmente con la señal expuesta en el osciloscopio, indicando la exactitud del dispositivo en la síntesis de distintas frecuencias. El cambio de una frecuencia a otra observada en el osciloscopio se toma apenas un par de segundos, ratificando la velocidad de conmutación de los DDS como una de sus principales ventajas. Además de comprobar la exactitud de la señal se efectuaron pruebas para observar la distorsión armónica que posee la señal de salida. Para ello se midió la señal sinusoidal a la salida del filtro de reconstrucción a 1 y 10 MHz. El espectro de frecuencia de estas señales se observa en las Figuras 3.6 y 3.7.

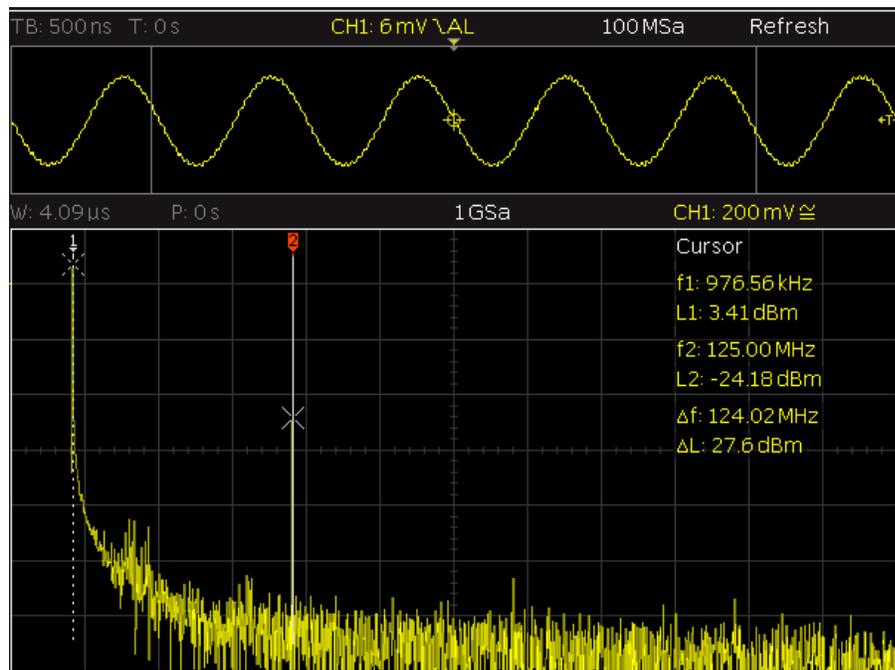


Fig. 3.6. Espectro de frecuencias de la señal sinusoidal de 1 MHz generada por el DDS AD9850.

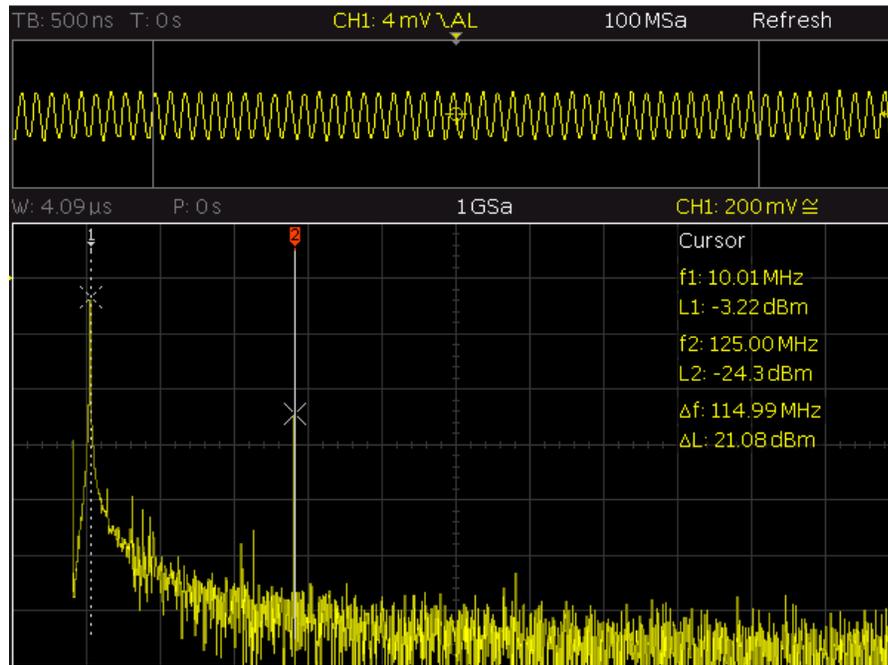


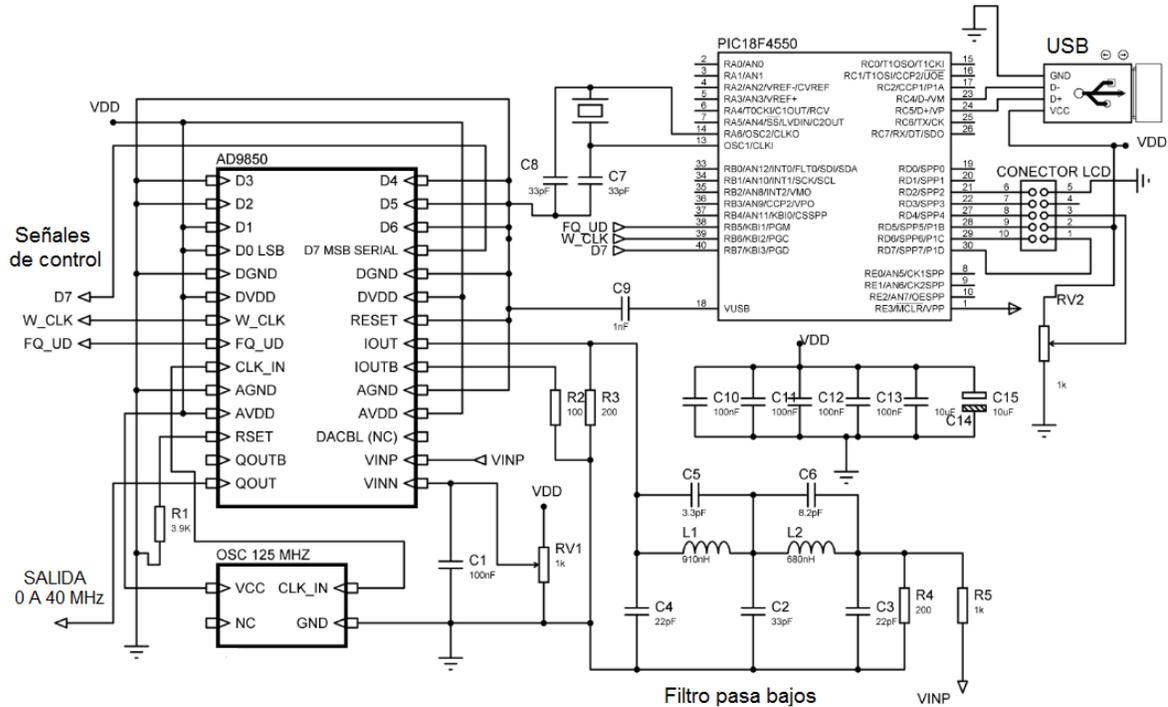
Fig. 3.7. Espectro de frecuencias de la señal sinusoidal de 10 MHz generada por el DDS AD9850.

Ambos resultados muestran la señal portadora acompañada de señales espurias a 125 MHz (reloj de referencia) y múltiplos de éste, con un valor de SFDR de 27 dB, por lo que prácticamente tienen poca incidencia en la salida. Una de las soluciones para lograr una mayor atenuación de la señal de reloj presente en la salida es la construcción de un filtro de mayor orden y el montaje de más capacitores de desacople. Es importante aclarar que esta señal espuria dominante (125 MHz) siempre se encuentra presente en la salida del DDS, por lo que el sintetizador debe coexistir con este problema y lograr atenuar su amplitud lo máximo posible.

3.3 Propuesta de diseño del DDS para una segunda versión.

Tomando en consideración los resultados obtenidos en la implementación de este primer proyecto se planteó realizar una segunda versión del mismo, contando con nuevos componentes y una placa PCB doble capa. En este nuevo diseño se pretende corregir algunos de los detalles observados en la implementación anterior. Como se mencionaba en el Capítulo 2 esta propuesta de diseño incluye en una sola placa PCB las secciones de síntesis de frecuencia y la de control. Una vez más se utiliza el DDS AD9850 para la generación de las señales de RF y el microcontrolador PIC18F4550 para manejarlo. Además esta propuesta cuenta con los periféricos necesarios para su funcionamiento, como son el puerto USB tipo B para la alimentación y conexión hacia la computadora y el conector BNC para la salida de señal.

Se incluye en este nuevo diseño la conexión del microcontrolador para la visualización de las frecuencias generadas en un display LCD. En esta propuesta se implementa el mismo circuito eléctrico del sintetizador de la primera versión exceptuando el diseño del filtro que se realizó para un orden 7. Se tuvo en cuenta la utilización de una mayor cantidad de condensadores de desacople y se colocaron un par de ellos cercanos al CI AD9850 para disminuir la presencia de ruido en este. El circuito eléctrico diseñado para esta segunda versión se observa en la Figura 3.8.



Es importante destacar que para la realización de este segundo proyecto se contó con una placa PCB doble capa por lo que se pudo diseñar un circuito impreso utilizando ambas capas. Así el CI AD9850 de montaje superficial se consigue soldar en la cara correspondiente a los componentes y no a la parte de las pistas como en el diseño anterior. Este diseño cuenta además con planos de tierra en ambas caras facilitando el proceso de revelado del circuito impreso y contribuyendo a una mayor estabilidad del dispositivo ante interferencias. El diseño del circuito impreso se realizó con el Ares PCB Layout v.8. En las Figuras 3.9 y 3.10 se observan los diseños en vista 3D del circuito eléctrico realizado para la segunda versión.

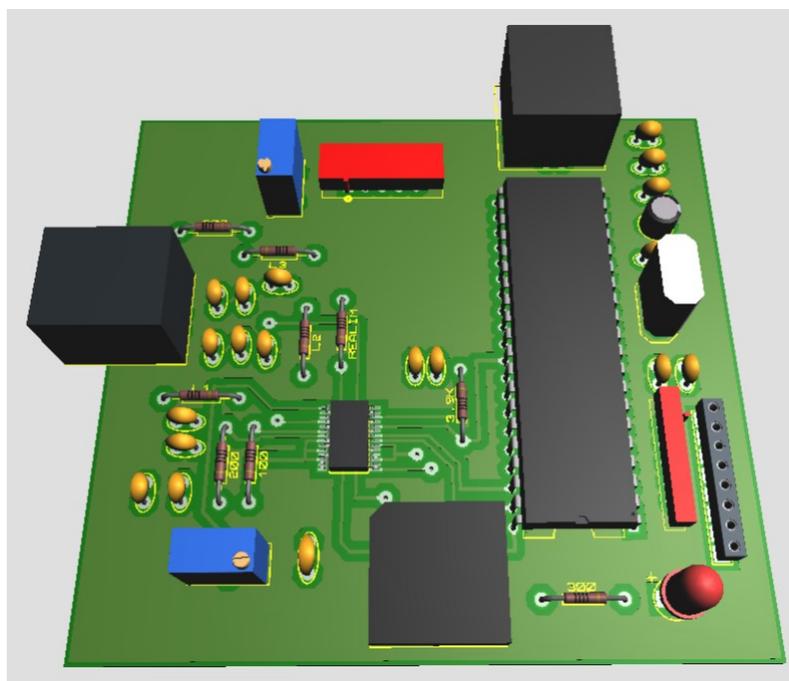


Fig. 3.9. Vista 3D del circuito eléctrico propuesto para segunda versión del DDS (capa superior).

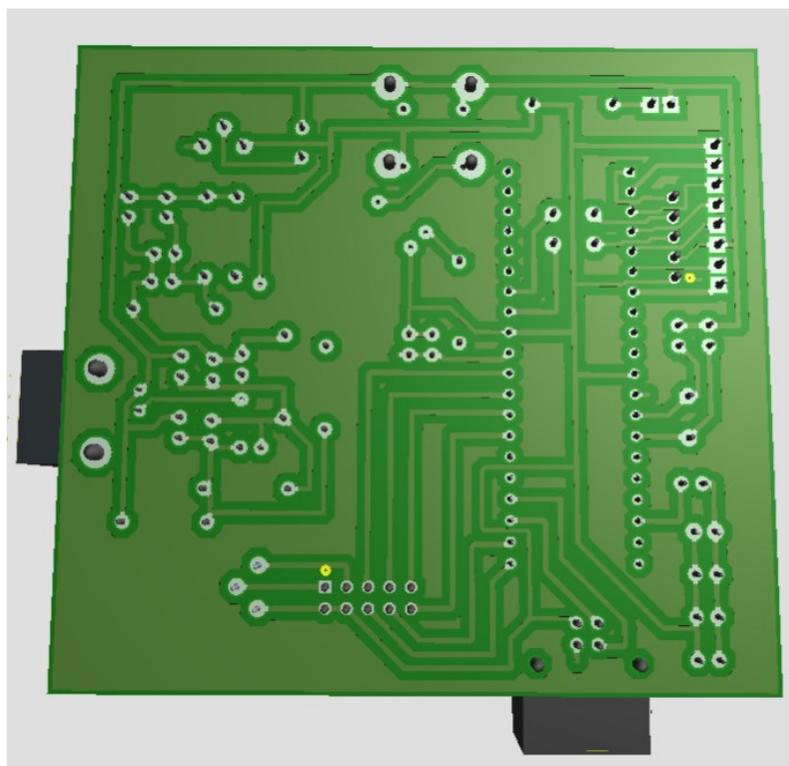


Fig. 3.10. Vista 3D del circuito eléctrico propuesto para segunda versión del DDS (capa inferior).

3.4 Análisis económico.

En este trabajo se realiza una valoración económica teniendo en cuenta los precios de los principales componentes utilizados en el dispositivo implementado.

Componentes	Unidades	USD
Microcontrolador PIC 18F4550	UNO	6.30
CI AD9850	UNO	2.50
Oscilador 125 MHz	UNO	2.00
Resistencias/ <i>Pack</i>	UNO	1.50
Capacitores/ <i>Pack</i>	UNO	1.50
Inductores/ <i>Pack</i>	UNO	1.50

3.5 Conclusiones del capítulo.

Puede notarse desde el principio, que la implementación de este tipo de equipo suele ser compleja, y en su diseño intervienen tanto técnicas digitales como analógicas y de radiofrecuencia. Sin embargo, gracias al avance de la tecnología, es que hoy podemos contar con circuitos integrados que resuelven algunos de los obstáculos de implementación. Dadas las características que posee esta tecnología y el nivel de exigencia del mercado actual con los sintetizadores, probablemente los DDS sean la técnica preferida de síntesis de frecuencia en los nuevos diseños electrónicos. En este trabajo, se ha puesto a prueba uno de los integrados más versátiles del mercado en la actualidad, obteniendo resultados satisfactorios en una primera oportunidad. Este trabajo pretende ser utilizado como punto de partida para futuros diseños, brindando una muy buena experiencia tecnológica de implementación.

CONCLUSIONES Y RECOMENDACIONES

Conclusiones

1. Se realizó un estudio de los distintos métodos de síntesis de frecuencia, comprobando que la tecnología de los DDS es la más reconocida actualmente por sus características únicas y versatilidad.
2. Se realizó el diseño e implementación del esquema eléctrico del sintetizador con el DDS AD9850, demostrándose de forma práctica el excelente desempeño de este dispositivo.
3. Se realizaron varias mediciones en el laboratorio que evidenciaron la precisión y calidad de la señal generada por el sintetizador implementado y donde se obtuvo un valor de SFDR de -27dB.

Recomendaciones

1. Diseñar un filtro pasa bajos de mayor orden con el objetivo de minimizar la distorsión presente en la señal generada y mejorar el SFDR.
2. Realizar la construcción del diseño de circuito eléctrico propuesto como segunda versión para el sintetizador digital directo implementado.

REFERENCIAS BIBLIOGRÁFICAS

- [1] J. C. Colombo, *Sintetizadores*, Tucumán, 2012.
- [2] C. P. P. A. J. P. R. G. Marquez, "Implementación de un sintetizador de banda ancha mediante tecnología DDS.," *Proyecciones*, vol. X, no. 2, pp. 75-87, Octubre 2012.
- [3] A. Devices, *A Technical Tutorial on Digital Signal Synthesis*, 1999.
- [4] S. Pagel, "Síntesis digital Directa de Frecuencias, DDFS," *Revista Española de Electrónica*, no. 602, pp. 66-76, Marzo 2007.
- [5] H. S. B. K. H. T. Nicholas, "The Optimization of the Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects.," *Proceedings of the 42nd Annual Frequency Control Symposium*, pp. 357-363, 1988.
- [6] E. G. J. Daniel G. Rodríguez, *Aplicaciones de la electrónica*, Santiago de Cuba, 2010.
- [7] A. Torres, "Trazador de gráficas de Bode usando síntesis digital directa (DDS)," Obregón, 2009.
- [8] F. Villegas, Octubre 2008. [Online]. Available: www.eb3emd.html.
- [9] A. Devices, *CMOS, 125 MHz Complete DDS Synthesizer AD9850*, 2004.
- [10] J. C. Mendoza, *Diseño y simulación de sistemas microcontrolados en lenguaje C*, Primera ed., Bogotá, 2011.
- [11] Microchip, *PIC18F2455/2550/4455/4550 Datasheet*, 2006.
- [12] I. The American Radio Relay League, *The ARRL Handbook for Radio Communications*, 87 ed., M. J. W. H. W. Silver, Ed., ARRL, Maty Weinberg, 2010.
- [13] E. M. Lorca, "Diseño y Construcción de un Transmisor de Frecuencia Modulada, para Radiodifusión Sonora, con tecnología DDS," Santiago de Chile, 2010.

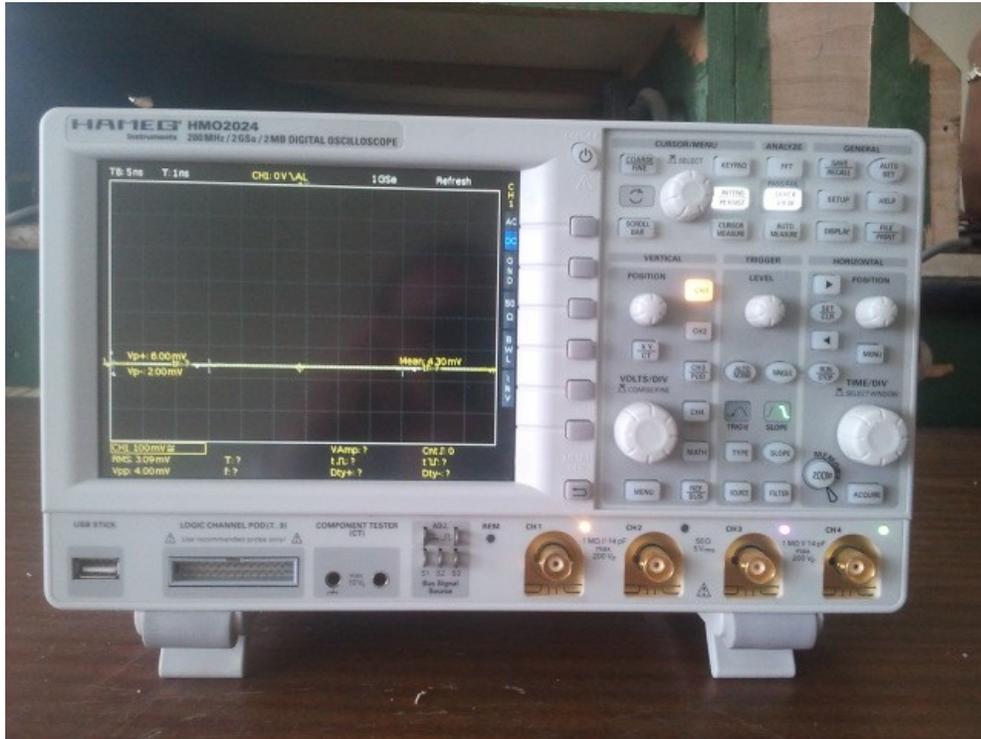
GLOSARIO DE TÉRMINOS

AGC	Automatic Gain Control
BNC	Bayonet Neill-Concellman
CI	Circuito Integrado
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital Analog Converter
DAS	Direct Analog Synthesis
DDFS	Direct Digital Frequency Synthesis
DDS	Direct Digital Synthesizer
DSP	Digital Signal Processor
FQ_UD	Frequency Updated
FSK	Frequency Shift Keying
GMSK	Gaussian Minimum Shift-Keying
HF	High Frequency
HID	Human Interface Device
LUT	Lookup Table
MSB	More Significant Bit
MSK	Modified Shift-Keying
OCA	Operational Current Amplifier
PC	Personal Computer
PCB	Print Circuit Board
PIC	Peripheral Interface Controller
PLL	Phase Locked Loop
RF	Radio Frequency
ROM	Read Only Memory
SDR	Software Defined Radio
SFDR	Spurious Free Dynamic Range
SHF	Super High Frequency
SNR	Signal to Noise Ratio
SQR	Signal Quantization Noise
SSOP	Shrink Small Outline Package
THD	Total Harmonic Distortion
TTL	Transistor-to-Transistor Logic
USB	Universal Serial Bus

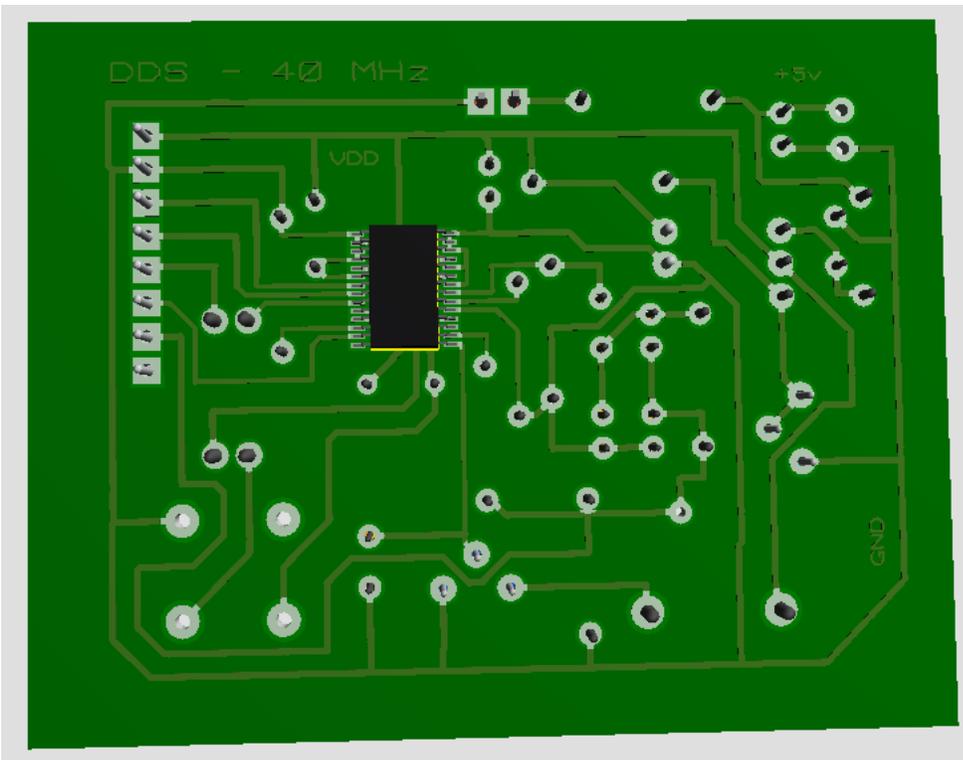
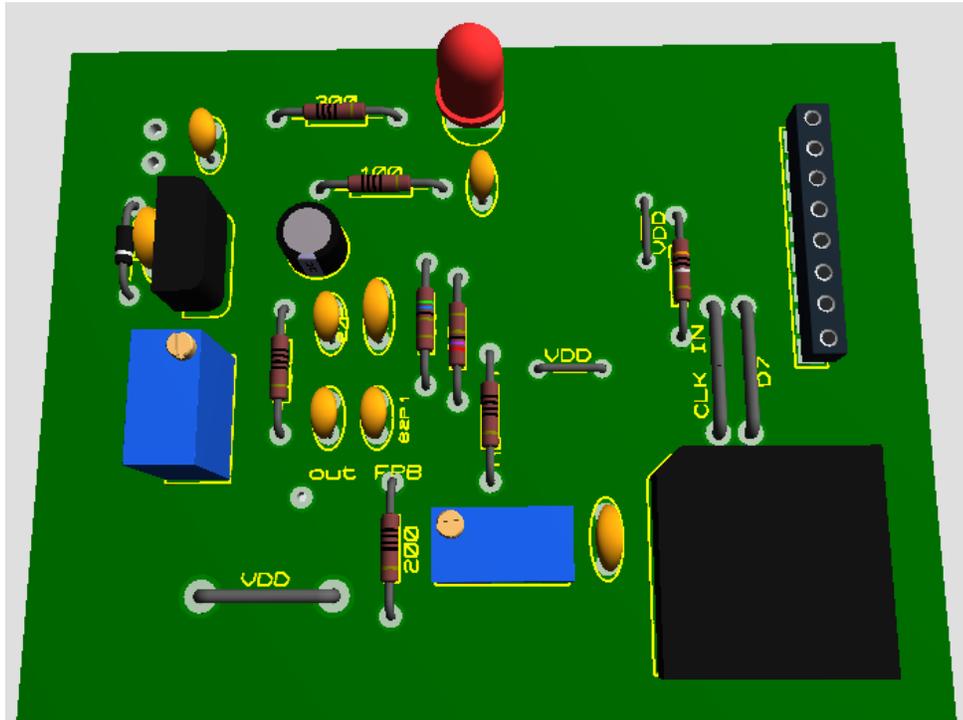
VHF	Very High Frequency
VXCO	Voltage Controlled Crystal Oscillator
W_CLK	Word Clock

ANEXOS

Anexo I. Osciloscopio digital HAMEG 200 MHz utilizado en las mediciones.



Anexo II. Vista 3D del circuito eléctrico implementado tomada del programa Ares 7 Profesional.



Anexo III. Diseño del circuito impreso (ambas capas) para la segunda versión del proyecto realizado.

