

Universidad
Oriente



*Santiago de
Cuba*

Facultad de Ingeniería Eléctrica

Especialidad Automática

Trabajo de Diploma

Título: Diseño de un sintetizador digital de frecuencia utilizando Dispositivos Lógicos Programables para un espectroscopio de bioimpedancia eléctrica.

Diplomante: Arístides Hechavarría González

Tutores: Msc. Miguel Fabars Zamora.

Msc. Alcibíades Lara Lafargue.

Ing. Alexander Alexeis Suárez León

Curso 2008-2009

“Año del 50 aniversario del triunfo de La Revolución”

Resumen

RESUMEN.

En este trabajo se caracteriza la espectroscopia de bioimpedancia eléctrica, se describen brevemente los principales bloques que forman el equipo de medición de bioimpedancia (ESPECTROSCOPIO). Se profundiza en los principales componentes que conforman la síntesis digital directa. Además se presenta el diseño de un sintetizador empleando dispositivos lógicos programables mediante la síntesis digital directa, el sintetizador tiene una precisión superior a 0.1Hz, frecuencia máxima de trabajo de 1MHz. La frecuencia de la sinusoide se controla mediante una palabra de incremento de fase de 32 bits, proveniente desde un microcontrolador. Este diseño, es realizado para un prototipo de espectroscopio de bioimpedancia eléctrica, este ocupa aproximadamente un 26% de los recursos lógicos internos del dispositivo lógico (FPGA) empleado.

Abstrac

ABSTRACT

This work is characterized electrical bioimpedance spectroscopy, are described briefly the main blocks that form the bioimpedance measurement equipment (SPECTROSCOPY). An insight into the major components that make up the direct digital synthesis. It also presents the design of a synthesizer using programmable logic devices by direct digital synthesis; the synthesizer has a precision greater than 0.1Hz, maximum working frequency of 1MHz. The frequency of the sinusoid is controlled by a phase increment word of 32 bits, coming from a microcontroller. This design is made for a prototype electric bioimpedance spectroscopy, this occupies about 26% of the internal logic of the logic device (FPGA) used.

Dedicatoria

A mi abuela/madre por ser lo más grande que tengo en la vida.

A mi tío Jorge A por ser el padre que nunca tuve.

A mis hermanos Yunior y Yunieskys.

A mis tíos Robertico, Ramiro y Víctor por ser como unos padres para mí.

A toda mi familia por ser el sostén de mi vida, guía y apoyo.

Agradecimientos

A mi abuela/madre y mi tío Jorge.

A mis hermanos y mis tíos.

A mi novia Dalyta por ser quien es para mí.

A mis amigos Alcides y Manuel por ser incondicional conmigo.

A mi tutor Alexander, por su apoyo incondicional en todo momento.

A mis amigos por estar siempre a mi lado.

A mis tutores, Fabar, Alexander y Lara.

Al profesor Pullés por su apoyo en estos años de estudio.

A todos aquellos que de una forma u otra han contribuido a mi formación.

Indíce

ÍNDICE

INTRODUCCION	1
CAPITULO 1. FUNDAMENTOS TEÓRICOS DEL SINTETIZADOR DIGITAL DE FRECUENCIA.	6
1.1 Espectroscopía de bioimpedancia eléctrica (BIA).....	6
1.2 Síntesis digital directa (DDS).....	9
1.2.1 El convertor en la síntesis digital directa.	11
1.2.2 El filtro de reconstrucción.....	13
1.3 Generación de las diferentes formas de onda.....	14
1.4 Hardware programable. PLD y FPGA.....	17
Ventajas de los dispositivos lógicos programables.	18
1.4.1 Arquitectura de los PLD.....	19
1.5 Descripción del hardware. Tarjeta de desarrollo Spartan™-3 de Xilinx®.	24
1.5.1 Periféricos incluidos en la tarjeta de desarrollo.	26
CAPÍTULO 2. DISEÑO DEL SINTETIZADOR DIGITAL DE FRECUENCIA.....	28
2.1 Metodología seguida para los cálculos del diseño del DDS.....	28
2.1.1 Selección de la frecuencia de muestreo	28
2.1.2 Cálculos para el diseño del SDD.....	29
2.1.3 Selección del convertor digital analógico y el filtro de reconstrucción	29
2.2 Diseño General del sistema.....	30
2.2.1 Módulo de Generación.....	30
2.2.2 Módulo de Conversión.	40
2.2.3 Módulo de Filtrado.....	43
2.3 Valoración económica.....	48
CONCLUSIONES.....	52
RECOMENDACIONES	53
BIBLIOGRAFIA	54
ANEXOS.....	55

Introducción

INTRODUCCION

Las diferentes técnicas de valoración de la composición corporal surgieron a raíz de las dificultades para valorar el estado de nutrición, fundamentalmente en pacientes enfermos y/u obesos así como la necesidad de poder comparar diferentes poblaciones de pacientes. Todo ello condujo al surgimiento y empleo de técnicas capaces de medir los distintos componentes corporales. Entre estas técnicas se encuentran: la dilución isotópica, el análisis de activación de neutrones, **la bioimpedancia eléctrica**, la tomografía axial computarizada y la resonancia magnética. La mayoría de estas, constituyen técnicas complejas y otras o no son fiables, o la principal limitación es el elevado costo económico de su implementación. El método de la bioimpedancia eléctrica es un de los más efectivos dado que es el método más cercano al ideal para estimar la composición corporal por su bajo costo, las facilidades que brinda para estudios epidemiológicos y su razonable exactitud [13]. Esta técnica consiste en la aplicación de una corriente eléctrica a través de dos electrodos al tejidos humanos, estas se pueden clasificar en función del número de frecuencias utilizadas para la medición en monofrecuencia y multifrecuencia, los sistemas monofrecuencia su principio se basan en el principio en la utilización de una corriente eléctrica con frecuencia fija (generalmente 50 KHz.), su principal desventaja con respecto a los métodos multifrecuenciales se encuentra en la imposibilidad de calcular el parámetro agua intracelular, ya que únicamente puede realizar estimaciones de dicho valor, lo cual da lugar a errores importantes en la obtención del modelo de composición corporal completo.

El sintetizador es el encargado de generar la señal senoidal multifrecuencia para ser entregada a la fuente de corriente o amplificador de transconductancia, donde esta fuente entrega el valor de corriente que será aplicado directamente por dos electrodos transmisores, luego dos electrodos receptores son los encargados de tomar la señal proveniente del cuerpo humano y trasmitarla al canal de medición. la forma más empleada para obtener la señal portadora es la Síntesis Digital Directa (SDD). Éste es un método sencillo que tiene como ventajas su alta resolución frecuencial y las razones de muestreo que se pueden obtener [4].

El sintetizador digital genera una secuencia de números en el dominio del tiempo que reproduce un espectro de salida deseado. Por lo general se implementa mediante síntesis digital directa (SDD) [4].

El proceso de síntesis de frecuencia involucra varios métodos que se han sucedido a medida que ha evolucionado la tecnología de los circuitos integrados de alta velocidad. En la actualidad se pueden destacar dos métodos que se encuentran bien definidos:

- ◆ Analógico, con el empleo de lazos controlados de fase (PLL).
- ◆ Digital, mediante la síntesis digital directa (DDS).

Tanto la técnica PLL como la DDS, tienen sus ventajas y desventajas que deben ser consideradas para un propósito particular de manera cuidadosa, sin embargo existe un

problema que no resulta fácil de resolver con el empleo del PLL y es el aumento de la resolución. Este y otros problemas quedan resueltos de forma muy simple haciendo uso de la DDS. Este método tiene la ventaja de que si el oscilador base es un oscilador muy estable, también lo serán las distintas frecuencias de salida.

Los SDD están constituidos básicamente por un acumulador de fase y un conversor fase amplitud. Un sistema SDD trabaja sobre el principio de que una forma de onda digitalizada se puede generar acumulando cambios de fase a una frecuencia mayor o igual al doble de la razón de Nyquist. Con estos se obtienen altas purezas espectrales y rapidez de cambio de frecuencia sin salto de frecuencia.

En los últimos años se han desarrollado circuitos integrados de alta velocidad para propósitos de síntesis digital directa de frecuencia, capaces de operar hasta los 500MHz, lográndose además resoluciones del orden de $1\mu\text{Hz}$, con tiempos de conmutación limitados solamente por la velocidad de la tecnología empleada. Con este procedimiento, se aprovecha la flexibilidad y rapidez de la técnica digital.

Aparejado al alce vertiginoso de la funcionalidad del diseño y la consiguiente mejora en las diferentes metodologías de diseño de circuitos integrados, apareció la necesidad de desarrollar las técnicas de implementación de circuitos digitales. Es conocido que en el ambiente de los sistemas digitales existen tres tipos fundamentales de dispositivos: microprocesadores, memorias y dispositivos lógicos. Estos últimos realizan funciones específicas incluyendo procesamiento de señales, operaciones de temporización y control, etc. Dentro de los dispositivos lógicos a su vez existen dos amplias categorías: los dispositivos de lógica fija y los de lógica programable.

Dentro de los dispositivos de lógica fija se encuentran los diseñados a la medida para una aplicación específica. Estos permiten un eficiente aprovechamiento del silicio en la implementación de un circuito. También están los semidiseñados, que son sistemas constituidos por una serie de bloques funcionales carentes de interconexiones entre ellos. Ambos grupos disponen de circuitos con excelente rendimiento. Sin embargo, el costo de los diseños en cuanto a herramientas, mantenimiento, aprendizaje y verificación de errores, hace que estas soluciones sean viables económicamente solo a partir de una determinada escala de producción.

Por otro lado están los Dispositivos Lógicos Programables (PLD) que constituyen una solución intermedia entre los circuitos digitales estándares y los diseñados a la medida o semidiseñados [3]. Son estándares y ofrecen al usuario muchas ventajas en cuanto a capacidad lógica, prestaciones, velocidad y rangos de voltaje. Además permiten describir la funcionalidad de un circuito cualquiera mediante programación.

El empleo de la lógica programable en el diseño de sistemas digitales presenta notables beneficios como son: reducción de espacio, flexibilidad en el diseño, facilidad de diseño, reducción de costo, fiabilidad, inmunidad al ruido y seguridad. Con su utilización se ha logrado disminuir el tiempo de diseño y el precio de las herramientas de software necesarias para la programación de los mismos.

Hoy en día existe una gran disponibilidad de arquitecturas lógicas programables. Cada una de ellas tiene vendedores específicos con subvariantes dentro de cada tipo [6]. Según su arquitectura, estos dispositivos pueden clasificarse en:

- ◆ SPLD (Dispositivos Lógicos Programables Simples).
- ◆ CPLD (Dispositivos Lógicos Programables Complejos).
- ◆ FPGA (Campos Programables de Arreglos de Compuertas).

Existen varias formas de describir un sistema electrónico digital con PLD. La descripción puede realizarse en la forma tradicional mediante esquemático o utilizando Lenguajes de Descripción de Hardware (HDL). Por esto herramientas de Diseño Asistido por Computadora (CAD) para PLD, generalmente admiten varias formas de programación, mediante editores específicos para cada una de ellas.

En el campo de la automática han aparecido nuevas expectativas con el surgimiento y desarrollo de los PLDs, ya que todas sus ventajas hacen posibles diseños cada vez más compactos y con mayores prestaciones. La alta confiabilidad de funcionamiento de un diseño programado e implementado en un PLD le otorga gran robustez con respecto a los dispositivos lógicos tradicionales. La posibilidad de cambiar su arquitectura interna y de adaptarse a los cambios de hardware externos, les atribuye un alto grado de flexibilidad. Todo esto hace de la lógica programable una opción de las más eficientes, económicas y seguras en las realizaciones de diseños.

Por la gran importancia que tiene el método de la bioimpedancia eléctrica, desde 1998 se comenzó a trabajar en las investigaciones y utilización de la técnica, creándose un grupo multidisciplinario conformado por ingenieros, médicos y biólogos que trabajan en el Centro Nacional de Electromagnetismo Aplicado (CNEA). Este grupo tiene colaboración con un grupo similar de la Universidad de Cataluña. De esta Universidad han recibido la donación de un equipo de medición de bioimpedancia eléctrica con el cual han podido realizar sus mediciones, pero la demanda es tan alta que este único equipo no puede satisfacer este requerimiento, por lo cual se pidió la colaboración para ayudar a diseñar y construir un prototipo de equipo de factura nacional, que cumpla con los estándares internacionales y que permita por tanto de manera paulatina, satisfacer, por una parte, las necesidades de investigación, y por otra, la actuación sobre los pacientes.

Por lo anteriormente expuesto este tema de investigación propone como:

Problema de la investigación:

Necesidad de diseñar un sintetizador digital de frecuencia para un prototipo de espectroscopio de bioimpedancia eléctrica.

Objeto de la investigación:

La síntesis digital directa de frecuencia (DDFS).

Objetivo de la investigación:

Diseñar un sintetizador digital de frecuencia para un prototipo de espectroscopio de bioimpedancia eléctrica.

Campo de acción:

Sintetizadores digitales de frecuencia para la espectroscopía de bioimpedancia eléctrica.

Hipótesis:

Si se diseña un sintetizador digital de frecuencia, se contribuye al desarrollo de un prototipo de espectroscopio de bioimpedancia eléctrica.

Para el desarrollo lógico del proceso de investigación se han planteado las siguientes tareas:

1. Caracterizar la Espectroscopía de bioimpedancia eléctrica.
2. Estudio de la síntesis digital directa (SDD).
3. Caracterizar las herramientas de software y hardware FPGA existente en la Universidad de Oriente, FIE.
3. Diseño del sintetizador digital de frecuencia.
4. Simular el sistema diseñado.

Se utilizan fundamentalmente los métodos **teórico y práctico**, ya que se ha llegado a la concepción de un diseño partiendo de la teoría existente sobre sintetizadores digital de frecuencia hasta implementar un producto independiente.

Mediante el método **histórico-lógico** se ha caracterizado el aspecto teórico de la Espectroscopía de bioimpedancia eléctrica.

El método de **análisis y síntesis** también se empleó en toda la investigación, y en particular para el estudio del sistema de contenidos referente a diseño de sintetizadores digitales de frecuencia y sistemas de descripción de hardware en la bibliografía especializada.

El método de **inducción-deducción**, se utilizó como otro método principal, partiendo del enfoque sistémico, para trabajar con los contenidos esenciales de diseños a partir de modelos existentes y con la aplicación de las potencialidades del nuevo diseño a implementar.

El método de **Modelación – Simulación** se empleó en el proceso creativo y al concebir las unidades como entes independientes conformadoras del diseño final.

La estructura del informe esta basada fundamentalmente en dos capítulos. En el **Capítulo 1** se estudian los fundamentos teóricos de los conceptos fundamentales que sirven de base a la investigación y también se ofrece un breve estudio sobre los Dispositivos Lógicos Programables (PLDs).

En el **Capítulo 2** se describe la metodología y el diseño de los módulos fundamentales que conforman el sintetizador digital de frecuencia, se describe el hardware utilizado para la síntesis del sintetizador digital de frecuencia, se muestra el esquemático empotrado en el módulo generador y el diseño del filtro de reconstrucción.

Capítulo 1

CAPITULO 1. FUNDAMENTOS TEÓRICOS DEL SINTETIZADOR DIGITAL DE FRECUENCIA.

En este capítulo se exponen los fundamentos teóricos de los conceptos fundamentales que sirven de base a la investigación, se explican las nociones básicas acerca del espectroscopio de bioimpedancia eléctrica, se ofrece un breve estudio sobre los Dispositivos Lógicos Programables (PLD) y se documentan los soportes de diseño y hardware disponibles.

1.1 Espectroscopía de bioimpedancia eléctrica (BIA).

La aplicación de la impedancia eléctrica en tejidos biológicos tiene una historia que se remonta a finales del siglo XVIII, pero no fue hasta principios del siglo XX cuando se estudió la estructura de estos tejidos a partir de sus propiedades eléctricas y se demostró que son conductores.

A partir de aquí se han aplicado las medidas de la impedancia eléctrica a varios campos entre los que se encuentra, la determinación de las características de los tejidos corporales que permite distinguir si hay edema, determinar el volumen de fluidos, conocer el volumen intra y extra celular y cuantificar el porcentaje de grasa y masa libre de grasa (músculos, huesos, sangre o vísceras).

El estudio de la composición corporal basado en la técnica de bioimpedancia eléctrica permite establecer el porcentaje de masa grasa y masa magra (libre de grasa) de una persona y, a partir del mismo, establecer la necesidad de pérdida o aumento de peso, según el caso. El exceso o la falta de grasa corporal o de masa magra, así como el exceso de agua, entre otros parámetros, son de gran ayuda para poder conocer en profundidad enfermedades como el sobrepeso y la obesidad, trastornos de la conducta alimentaria, problemas de retención de líquidos, edemas, pérdida de musculatura con la edad o fallos en el crecimiento y el desarrollo.

La espectroscopia de impedancia eléctrica (EIE) es una técnica que consiste en medir la impedancia eléctrica de un medio a varias frecuencias. En un medio biológico, la impedancia tiene un comportamiento específico, dependiente de la frecuencia de la corriente aplicada y diferenciable del que muestran medios sin células o con células muertas. La impedancia eléctrica de un medio con estas características es función de la frecuencia.

El análisis de la composición corporal es una herramienta de diagnóstico utilizada en diversas ramas de la medicina y en nutrición.

El analizador de bioimpedancia eléctrica es un instrumento no invasivo que permite estimar la composición corporal de un individuo mediante la medición de su resistencia y reactancia. Los parámetros medidos por este dispositivo son: agua corporal total, materia magra y materia grasa. Estos parámetros son considerados de interés clínico debido a que permiten estudiar la evolución de los tejidos corporales como respuesta a diversas patologías y a sus tratamientos.

En la actualidad existen diversos equipos destinados a la medición de estos parámetros, y su complejidad varía en función de las variables que miden, su presentación al usuario y fundamentalmente por su costo.

En relación a la frecuencia de trabajo, existen en el mercado diferentes equipos con frecuencias variables o fijas. Si bien no existe una estandarización para este tipo de análisis se adoptó por parte del grupo de trabajo que guía la investigación la medición multifrecuencia (espectroscopía).

La figura 1.1 explica mediante bloques el funcionamiento básico del espectroscopio de bioimpedancia eléctrica.

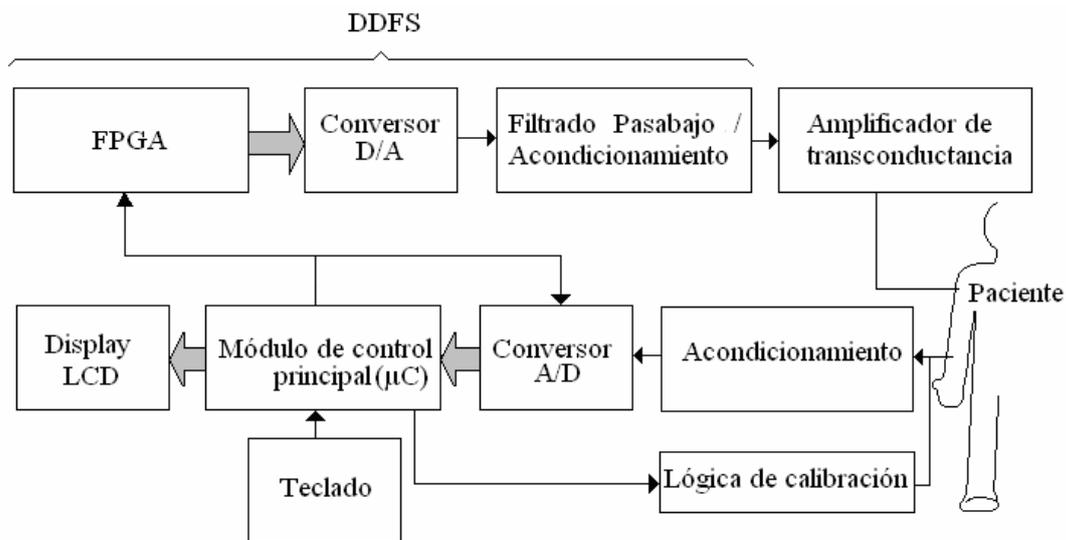


Figura 1.1 Diagrama en bloques del equipo.

A continuación se hace una breve descripción de cada una de las etapas que conforman el analizador de bioimpedancia eléctrica.

1. **Módulo de control principal (μC):** Implementado a partir de un microcontrolador. Tiene la función de controlar a los restantes bloques digitales que conforman el equipo y de realizar los cálculos para obtener los resultados del examen.
2. **LCD/TECLADO:** Posibilitan el ingreso de los datos del paciente (edad, sexo, altura y peso) así como también informar los resultados del examen
3. **Amplificador de transconductancia (OTA):** Genera la señal de corriente que se inyecta al paciente, a partir de la de tensión entregada por el DDFS.
4. **Lógica de calibración:** Previo al comienzo de cada examen, el equipo lleva a cabo una rutina de auto-calibración, la cual consiste en la medición de una resistencia patrón para obtener del mismo la fase propia que introduce el subsistema *DDS + OTA* y tenerla en cuenta en la medición del paciente, disminuyendo así errores por posibles cambios por temperatura o envejecimiento de los componentes.
5. **Acondicionamiento:** Esta etapa es la encargada de: levantar la señal de tensión generada en el cuerpo, mediante electrodos autoadhesivos de electrocardiografía conectados a un amplificador de instrumentación *INA114*, amplificar dicha señal y sumarle a la misma un nivel de continua de 0.85 V. Esto último implementado mediante un arreglo de amplificadores operacionales.
6. **Convertor analógico-digital:** Cumple la función de digitalizar la señal entregada por la etapa de acondicionamiento para ingresarla al *Módulo de Control Principal*.
7. **FPGA:** Esta etapa, en asociación con un DAC y otra etapa de acondicionamiento, forman un sintetizador digital de frecuencia (DDFS) que tiene la función de sintetizar la señal de tensión senoidal a partir de la cual se obtendrá la señal de corriente que se inyectará al paciente, así como también de generar la señal de CLK para el ADC. Se basa en un FPGA (campo de arreglos de compuertas) de Xilinx que recorre una tabla grabada en una memoria ROM donde se encuentran los valores de la senoidal a generar.
8. **Convertor digital-analógico:** Esta etapa del DDFS convierte los valores digitales que le entrega el FPGA en una señal analógica que, luego de ser debidamente filtrada se ingresa al *OTA*.
9. **Filtrado / Acondicionamiento:** Conformado por un convertidor de corriente a voltaje, y un filtro pasabajos activo de orden 5 del tipo Butterworth con frecuencia de corte de 250 Khz. implementado con 2 TL084. Cumple la función de acondicionar la señal que se obtiene del DAC, la que es entregada al *OTA*.

Los tres últimos elementos dígame **FPGA, Convertor digital-analógico y Filtrado / Acondicionamiento**, conforman el bloque de síntesis digital directa de frecuencia y son los que serán abordados a continuación.

1.2 Síntesis digital directa (DDS).

La síntesis digital directa (DDS) consiste en la generación de una representación digital de la señal deseada y luego usando conversores digital-analógico (DAC), convertir esta representación en una forma de onda analógica. Los recientes avances en la microelectrónica de alta velocidad, particularmente los microprocesadores y los PLD hacen a la DDS práctica a alta frecuencia. Los sistemas resultan compactos, consumen poca potencia, proporcionan un alto grado de resolución de frecuencia y gran pureza espectral. La DDS es muy popular debido a la alta exactitud de generación y representación de señales digitales armónicamente puras, además de su compatibilidad con la computación y fácil diseño [1].

En la técnica DDS la señal es generada digitalmente con buena inmunidad al ruido y excelente estabilidad, mediante el uso de técnicas de procesamiento digital de señales (PDS).

No se debe dejar de mencionar que la DDS puede generar frecuencias espurias debido a imperfecciones en el DAC tales como: no linealidades, aparición de pulsos durante la conmutación y a tiempos de establecimiento limitados. La aparición de frecuencias espurias se puede reducir haciendo una buena elección del DAC y un diseño eficiente del filtro de reconstrucción.

Un sintetizador por DDS consta de dos partes fundamentales (figura 1.2): el acumulador de fase y el Conversor Fase-Amplitud (CFA). El acumulador de fase genera los valores de fase correspondientes al período fundamental de la senoide y es el que determina la frecuencia de salida y la precisión en el DDFS. El CFA transforma los valores de salida del acumulador de fase en valores de amplitud y define el comportamiento espectral del DDFS.

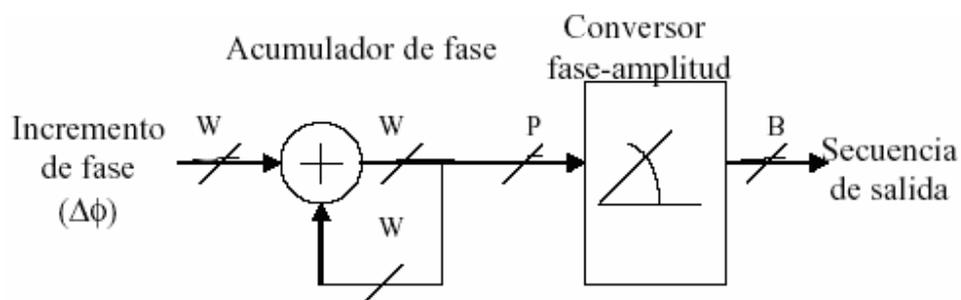


Figura 1.2 Esquema de principio del DDS

La frecuencia de salida f_0 y la resolución frecuencial Δf están definidas como:

$$f_0 = f_s \frac{\Delta f}{2^w} \quad (1.2)$$

$$\Delta f = \frac{f_s}{2^W} \quad (1.3)$$

donde:

f_s : Frecuencia de muestreo

$\Delta\phi$: Incremento de fase

W : Número de bit del acumulador.

La pureza espectral viene dada por:

Error de cuantificación

$$SQNR[dB] = 6.02B + 1.76 \quad (1.4)$$

Máximo nivel de espurios

$$WCSM[dB] = 6.02P; P > 4 \quad (1.5)$$

Se define como error de cuantificación o ruido de cuantificación a la señal en tiempo discreto y amplitud continua introducida por el proceso de cuantificación (uno de los procesos que intervienen en la conversión analógica-digital, que sigue al de muestreo y precede al de codificación) y que resulta de igualar los niveles de las muestras de amplitud continua a los niveles de cuantificación más próximos.

B : Ancho de palabra del CFA

P : Número de bits del acumulador de fase que se emplean en el CFA

Características de rendimiento de la DDS.

La mayoría de soluciones integradas para DSS proporcionan un mínimo de 24 bit de resolución en frecuencia, y algunos llegan hasta 48 bits. Muchos acumuladores de fase están diseñados en cascada para aumentar la frecuencia de resolución. DDS proporciona no sólo la frecuencia de resolución muy precisa, también proporciona una amplia gama de frecuencias.

La [figura 1.3](#) ilustra otra de las características de DDS, su velocidad de sintonización de frecuencia. Si la fase de entrada se cambia, la fase acumulador instantáneamente cambia a la nueva frecuencia en el próximo ciclo de reloj.

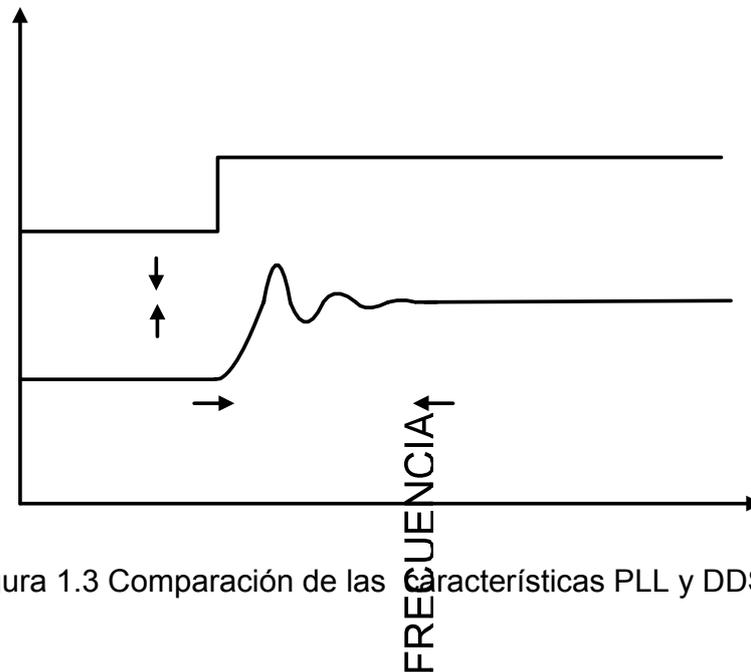


Figura 1.3 Comparación de las características PLL y DDS.

1.2.1 El conversor en la síntesis digital directa.

En el mundo real las señales analógicas varían constantemente, pueden variar lentamente como la temperatura o muy rápidamente como una señal de audio. Lo que sucede con las señales analógicas es que son muy difíciles de manipular, guardar y después recuperar con exactitud. Si esta información analógica se convierte a información digital, se podría manipular sin problema. La información manipulada puede volver a tomar su valor analógico si se desea con un **DAC (Convertidor Digital a Analógico)**

El CDA realiza una representación discretizada en amplitud de la señal deseada basada en valores digitales.

El DAC es un factor limitante en el comportamiento respecto a los espurios de un sistema SDD. Como cualquier CDA puede ser empujado con un SDD; en particular se hace difícil predecir el nivel de ruido de la señal generada.

En aplicaciones en las que se emplean relojes muy rápidos, el mejor rango dinámico libre de espurios se obtiene empleando CDA con transitorios de conmutación muy bajos y tiempo de establecimientos pequeños. En la práctica, un comportamiento aceptable significa el uso de CDA con al menos 10 bits de resolución. Muchos conversores pueden parecer apropiados para sistemas específicos, pero la única forma de compararlos y validar su comportamiento es construyendo un circuito de pruebas con ellos [10].

El conversor es un dispositivo conceptualmente muy simple; sin embargo, en la práctica este puede tener una implementación compleja. Básicamente la idea es obtener una señal analógica a la salida, proporcional a la palabra de dato digital que entra al conversor [15].

Generalmente esta palabra tiene una extensión de 8, 10 o 12 bits. Es muy usual que la salida del DAC sea de corriente para hacer de la conversión un proceso más lineal, pero el diseñador puede convertirla en voltaje en dependencia de la linealidad que tolere su aplicación.

El número de bits de la palabra de entrada del conversor determina la resolución de amplitud y las características de ruido a la salida. El DAC no tiene efecto en la frecuencia de la señal generada, este simplemente aproxima el valor de amplitud de la palabra de entrada en cada ciclo de reloj.

Existen cuatro características fundamentales de los DAC que hay que tener en cuenta:

- ❖ Resolución.
- ❖ Exactitud.
- ❖ Velocidad.
- ❖ Pureza espectral.

La resolución indica cuantos niveles analógicos discretos existirán sobre el rango de salida. Si n es el número de bits entonces la cantidad de niveles sería $2^n - 1$. En teoría mientras más bits se tomen se pueden tener mayores resoluciones, pero en la práctica las fuentes de ruido la limitan.

El tiempo de establecimiento, indica cuanto tiempo necesita el DAC para alcanzar el valor deseado y mantenerlo bajo cierta tolerancia como se observa en la [figura 1.4](#).

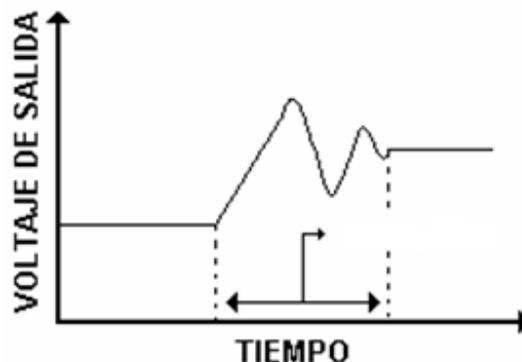


Figura 1.4. Transición en la salida del conversor.

Para obtener una adecuada pureza espectral deben tenerse en cuenta tres aspectos esenciales:

1. Energía impulsiva: Impulso que ocurre cuando dos entradas digitales cambian de estado. Mientras menor sea esta energía más limpia será la salida del DAC.

2. Distorsión armónica total (TDH): No es más que la relación de la suma de los armónicos de salida sobre el valor fundamental, usualmente se incluye hasta el quinto armónico. Da cuenta de en que medida un conversor puede generar una onda sinusoidal sin armónicos.

$$THD = 20 \text{LOG} \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \quad 1.6$$

Donde: V_1 es el valor RMS de amplitud del armónico fundamental.

V_2, V_3, V_4, V_5 : son las amplitudes RMS de armónicos individuales.

3. Relación señal a ruido (SQNR): Indica la cantidad de ruido que el DAC pone en la salida.

$$(\text{SQNR} = 6.02 n + 1.76) \quad 1.7$$

donde n es la resolución del DAC.

Teniendo en cuenta que el tipo, la velocidad y las características de funcionamiento del DAC son críticas en el funcionamiento de los DDS, estos están siendo desarrollados teniendo en cuenta su aplicación en esta rama de la electrónica.

1.2.2 El filtro de reconstrucción.

El filtro de reconstrucción es conceptualmente tan importante como el DAC ya que las componentes no deseadas de frecuencia son generadas como parte del proceso de muestreo en el DDS. Confirmando el teorema de Nyquist estas componentes no deseadas de frecuencia aparecen en pares igualmente espaciadas a cada lado de la frecuencia de reloj. Además de estas aparecerán otras a cada lado de los armónicos de la señal de reloj, estas se pueden despreciar si eliminamos la primera componente no deseada de frecuencia. La componente fundamental de frecuencia es difícil de extraer limpiamente sin un filtro práctico adecuado. Una consideración práctica efectiva consiste en limitar la frecuencia máxima de salida a un valor cercano al 40% de la frecuencia del reloj.

Los componentes del filtro requieren de una elección cuidadosa según la banda de frecuencia en que se va a trabajar, debido a que los inductores y capacitores al trabajar a frecuencias superiores a 10 Mhz no se comportan como tal. Se pueden utilizar filtros a cristal como es el caso del SE36-9M-5010 que es un filtro antialiasing que opera en el rango de 10 Khz. a 20 Mhz. La elección de la frecuencia de corte no está sujeta a esta regla en particular, si el sintetizador va a ser empleado en una frecuencia inferior al límite, la de corte del filtro puede ser otra.

Como se mencionó en la DDS se generan espurios, estando no solo sujeto a los problemas de conversión, sino también a los de filtrado. Como estos son sintetizadores

que pueden operar en un amplio ancho de banda, el filtro puede atenuar los espurios a la frecuencia de corte del mismo, pero en frecuencias más alejada a esta no realiza un gran efecto debido a que se opera en la banda de paso del filtro.

1.3 Generación de las diferentes formas de onda.

El DDS debe generar dos formas de onda:

- ❖ Sinusoidal.
- ❖ Cuadrada.

Generación de la senoide.

Se puede obtener una respuesta sinusoidal a partir de un filtro IIR (Infinite Impulse Response), con polos sobre el círculo de radio unitario [9]. Una forma de implementarlo es con una red cuya respuesta a muestra unitaria sea de la forma $e^{j\omega_0 n}$.

Obtención del diagrama de simulación.

La repuesta a muestra unitaria viene dada por:

$$e^{\pm j\omega_0 n} = \cos(\omega_0 n) \pm j \text{sen}(\omega_0 n) \quad 1.8$$

teniendo como parte real e imaginaria a $\cos(\omega_0 n)$ y $\text{sen}(\omega_0 n)$ respectivamente.

Si deseamos generar una respuesta sinusoidal la respuesta a muestra unitaria debe ser:

$$h(n) = \text{sen}(w_0 n) \quad 1.9$$

Donde w_0 es la frecuencia angular.

Como:

$$z = e^{\pm j\omega_0 n} \quad 1.10$$

y la parte real e imaginaria de z es:

$$\text{Real } (z) = \frac{z + \bar{z}}{2} \quad 1.11$$

$$\text{Imaginaria } (z) = \frac{z - \bar{z}}{2j} \quad 1.12$$

Entonces:

$$\text{sen}(w_0 n) = \frac{1}{2j} [e^{jw_0 n} - e^{-jw_0 n}] \quad \mathbf{1.13}$$

Resultando la respuesta a impulso de la siguiente forma:

$$h(n) = \frac{1}{2j} (e^{jw_0})^n - \frac{1}{2j} (e^{-jw_0})^n \quad \mathbf{1.14}$$

La función de sistema que lograría esta respuesta, sería la transformada Z de la respuesta a muestra unitaria:

$$H(z) = Z[h(n)] \quad \mathbf{1.15}$$

Obteniéndose:

$$H(z) = Z \left[\frac{1}{2j} (e^{jw_0})^n - \frac{1}{2j} (e^{-jw_0})^n \right] \quad \mathbf{1.16}$$

De la tabla de transformadas Z, extraemos:

$$\frac{1}{2j} (e^{jw_0})^n \xleftrightarrow{z} \frac{1/2j}{1 - e^{jw_0} z^{-1}} \quad \text{Para } |z| > 1 \quad \mathbf{1.17}$$

$$\frac{1}{2j} (e^{-jw_0})^n \xleftrightarrow{z} \frac{1/2j}{1 - e^{-jw_0} z^{-1}} \quad \text{Para } |z| > 1 \quad \mathbf{1.18}$$

Transformando:

$$H(z) = \frac{1}{2j} \left[\frac{1}{1 - e^{jw_0} z^{-1}} - \frac{1}{1 - e^{-jw_0} z^{-1}} \right] \quad \mathbf{1.19}$$

y resolviendo:

$$H(z) = \left[\frac{(\text{sen} w_0) z^{-1}}{1 - (2 \cos w_0) z^{-1} + z^{-2}} \right] \quad \mathbf{1.20}$$

Si asumimos que:

$$\text{sen} w_0 = b \quad \text{y} \quad -2 \cos w_0 = a$$

donde a y b son términos constantes dependientes de la frecuencia que se desea generar. sustituyendo a y b en la ecuación (1):

$$H(z) = \frac{bz^{-1}}{1 + az^{-1} + z^{-2}} \quad \mathbf{1.21}$$

Considerando que se trata de un sistema LTI (lineal, invariable en el tiempo y causal) la función H(z) puede representarse como:

$$H(z) = \frac{Y(z)}{X(z)} = \frac{bz^{-1}}{1+az^{-1}+z^{-2}} \quad 1.22$$

lo que es lo mismo:

$$Y(z) + aY(z)z^{-1} + Y(z)z^{-2} = bX(z)z^{-1} \quad 1.23$$

antitransformando ambos miembros y considerando la propiedad de linealidad y desplazamiento en el tiempo:

$$y(n) + ay(n-1) + y(n-2) = bx(n-1) \quad 1.24$$

despejando $y(n)$ de 1.24:

$$y(n) = bx(n-1) - ay(n-1) - y(n-2) \quad 1.25$$

Para el caso que nos ocupa la entrada será una delta o impulso [$x(n)=\Delta(n)$], entonces el diagrama de simulación de la red será el que se muestra en la Figura 1.5:

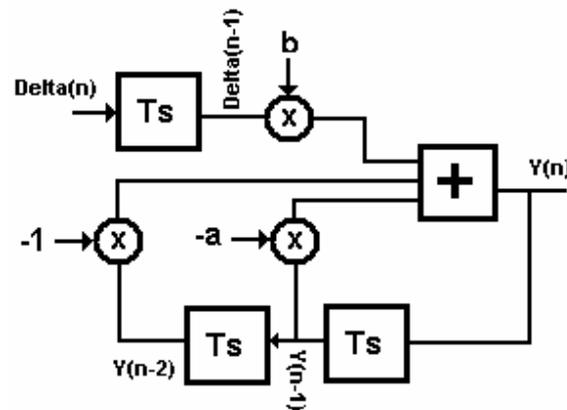


Figura 1.5. Diagrama de simulación del sistema.

Generación de la onda cuadrada.

Se puede obtener a partir de un comparador regenerativo, es un circuito biestable (dos estados), con una entrada y una salida.

Para comprender las características de su funcionamiento, tomemos imaginariamente un Schmitt-Trigger que tenga su salida inicialmente en nivel bajo, y apliquemos a su entrada un pulso cualquiera, cuyo valor esté subiendo muy lentamente, algo así como una onda senoidal.

Al comienzo de haber aplicado la señal de entrada, no hay ningún cambio apreciable en el estado bajo de su salida; pero, llegado cierto momento la salida del Schmitt-Trigger se invierte al estado alto, y continúa así aunque el nivel de voltaje en el pulso siga aumentando. Al punto o valor del voltaje de la señal ascendente que produjo el cambio

en la salida, se le conoce como POSITIVE GOING THRESHOLD (umbral en el sentido positivo).

Supongamos ahora que la señal comienza a bajar, a disminuir su valor. Llegará el instante en el cual la salida del Schmitt-Trigger cambiará abruptamente al nivel bajo original, punto al que se ha denominado NEGATIVE GOING THRESHOLD (umbral en el sentido negativo). Los puntos o niveles de umbral son distintos para el sentido positivo y para el sentido negativo de la señal gatilladora, y a su diferencia se le conoce como HISTERESIS. El Schmitt trigger usa la histéresis para prevenir el ruido que podría solaparse a la señal original y que causaría falsos cambios de estado si los niveles de referencia y entrada son parecidos.

Los microprocesadores junto a las memorias y los dispositivos lógicos son los constituyentes básicos para el diseño de los sintetizadores digitales de frecuencia. Seguidamente se profundiza en los dispositivos lógicos, fundamentalmente los programables, hasta llegar a los Arreglos Programables de Campos de Compuertas (FPGA) que son la expresión máxima de su desarrollo y el principal soporte físico de este trabajo.

1.4 Hardware programable. PLD y FPGA.

En los sistemas digitales tradicionalmente implementados con circuitos integrados digitales estándar de pequeña o mediana escala de integración (SSI o MSI) es muy difícil encontrar un circuito lógico que realice la función exacta que se quiere implementar, por lo que ésta se debe adaptar. Para conseguirla se necesita de varios circuitos integrados que requieren un área de circuito impreso grande, alto consumo y gran número de interconexiones, las cuales incrementan la probabilidad de fallos. Los sistemas diseñados con circuitos estándares son poco flexibles pues cualquier modificación conlleva al rediseño del circuito impreso. Todas estas razones han conducido a utilizar los circuitos lógicos estándares sólo en aquellas aplicaciones que por su sencillez utilicen pocos circuitos integrados digitales. Minimizar el número de componentes de un sistema da lugar a una notable reducción de su consumo así como del tamaño de la placa de circuito impreso y el aumento de su fiabilidad.

Los programas determinan como deben ser conectadas las puertas en el dispositivo para construir el circuito lógico. Los programas de salida son ficheros de configuración de cadenas de bits que se descargan en los PLD y hacen que estos actúen y se configuren como el circuito lógico que se desea. El PLD programado se sitúa en un circuito mayor donde realiza sus funciones. Las computadoras y los programas se encargan de la construcción de los circuitos digitales en los PLD, permitiendo a los diseñadores concentrarse más plenamente en las partes creativas del diseño lógico.

El desarrollo tecnológico de los Dispositivos Lógicos Programables (PLD), el aumento de las posibilidades y facilidades de sus herramientas de diseño asistido por computadora, la disponibilidad de acceso a bibliotecas de soluciones de problemas en

diversos campos, junto con una reducción de los costos de estos dispositivos, un aumento de sus prestaciones técnicas y lógicas, flexibilidad y estandarización de su comunicación con otros dispositivos y sistemas, han permitido su utilización en una gran variedad de campos de la tecnología que incluyen el control industrial, la instrumentación, las telecomunicaciones, computación, redes, electrónica de consumo y otros, lográndose soluciones a problemas desde los más simples hasta muy complejos con una alta efectividad, bajo costo, en corto tiempo, con amplias posibilidades de extender aplicaciones de un campo a otro y adaptar los diseños a nuevas necesidades y requerimientos de los problemas o asimilando novedosas posibilidades de los dispositivos, casi sin ningún cambio tecnológico en los sistemas que los utilizan, evolucionando desde sistemas de desarrollo de aplicaciones a nivel de prototipos hasta producciones ASIC en diversos campos.

Ventajas de los dispositivos lógicos programables.

El empleo de la lógica programable en el diseño de sistemas digitales presenta notables beneficios como son:

- ❖ Reducción de espacio: Estos dispositivos pueden implementar funciones para las cuales serían necesarios numerosos circuitos integrados, implicando una reducción apreciable de la placa de circuito impreso.
- ❖ Flexibilidad en el diseño: Sin cambiar el montaje, se reprograma y hacer un nuevo diseño.
- ❖ Facilidad de diseño: Se tienen variadas herramientas de diseño las cuales permiten implementar varios circuitos y simularlos con el fin de depurar errores antes de la programación del dispositivo.
- ❖ Reducción de costo: El costo de un sistema que utiliza lógica programable disminuye notablemente teniendo en cuenta que se reduce: la placa de circuito impreso, el número de circuitos integrados, los sistemas de alimentación, el tiempo de diseño, el tiempo de reparación.
- ❖ Fiabilidad: Al disminuir el número de circuitos integrados externos, el circuito es menos complejo por lo que la probabilidad de que alguna de sus partes falle es mínima.
- ❖ Inmunidad al ruido: Debido a que las líneas de interconexión están dentro del propio circuito integrado, la probabilidad de que se acoplen ruidos en las mismas es mínimo.
- ❖ Seguridad: Estos dispositivos poseen diversos mecanismos para impedir cualquier operación de lectura después de ser programados.
- ❖ Prestaciones: Alta velocidad, bajo consumo, gran cantidad de líneas de entrada – salida.

1.4.1 Arquitectura de los PLD.

Los dispositivos de lógica programable se pueden definir como estructuras con sistemas configurables de puertas lógicas y biestables enlazados con interconexiones programables. Estos poseen celdas de memoria que controlan y definen la función que realiza la lógica y como son interconectadas. Hoy en día existe una gran disponibilidad de arquitecturas lógicas programables. Cada arquitectura tiene productores específicos con diversas variantes dentro de cada tipo. De acuerdo a la arquitectura de los dispositivos estos pueden clasificarse en:

- ❖ **SPLD** (Dispositivo Lógico Programable Simple).
- ❖ **CPLD** (Dispositivo Lógico Programable Complejo).
- ❖ **FPGA** (Campo Programable de Arreglos de Compuertas).

SPLD (Dispositivo Lógico Programable Simple).

Los SPLD en general son los más pequeños y más baratos de los dispositivos lógicos programables. Un SPLD comprende típicamente de 4 a 22 macroceldas (compuesta fundamentalmente por un biestable y un bloque lógico que realiza funciones combinatorias) y normalmente puede reemplazar a varios dispositivos TTL de la serie 7400 [3], con ellos se pueden hacer diseños que sustituirían de 4 a 20 circuitos integrados. La mayor parte de los SPLD usan fusibles o una celda de memoria no volátil tal como EPROM, EEPROM o FLASH para definirlo funcionalmente.

Los SPLD genéricamente poseen varios subgrupos dentro de los que tenemos:

- ❖ PLA (Arreglo Lógico Programable).
- ❖ PLD (Dispositivo Lógico Programable).
- ❖ GAL (Arreglos Lógico Genérico).

Los dispositivos caracterizado hasta ahora no tienen la posibilidad de ser reprogramados, una vez que se programan ya no podrán ser utilizados de nuevo para introducir otro circuito. La principal desventaja de la lógica programable basada en la tecnología bipolar, tecnología utilizada en la integración de los dispositivos caracterizados, es que no pueden ser reprogramados. Por tanto, no es aconsejable utilizarlos en aquellas aplicaciones en las que es necesario variar las funciones lógicas, en las que un diseño se va a modificar varias veces hasta obtener el definitivo. Además, el consumo de los dispositivos con tecnología bipolar es alto. Como solución a los problemas anteriores surgen los dispositivos programables basados en la tecnología CMOS, los cuales tienen un consumo muy pequeño.

Con la tecnología CMOS se pueden conseguir grandes capacidades de integración, estos dispositivos programables van a tener una capacidad mayor y, en consecuencia, prestaciones mucho mayores que sus análogos bipolares. Una ventaja adicional de los

dispositivos CMOS es que usan células EPROM o EEPROM en vez de fusibles, lo cual permite que se pueda borrar la configuración del dispositivo y, por tanto son reprogramables.

CPLD (Dispositivo Lógico Programable Complejo).

La combinación de varios SPLD dentro de un único chip dio lugar a la creación del “**Dispositivo Lógico Programable Complejo**” (CPLD). Los CPLD son similares a los SPLD con la excepción de que ellos tienen una capacidad significativamente mayor. Un CPLD típico sustituye de 2 a 64 SPLD. Un CPLD contiene de 10 a unos cientos de macroceldas. Un grupo de 8 a 16 macroceldas se agrupan juntas dentro de un bloque funcional grande. Las macroceldas dentro del bloque funcional son usualmente conectadas por completo.

Los CPLD incluyen varios subgrupos dentro de los que se tienen:

- ❖ EPLD (Dispositivo Lógico Programable Borrable)
- ❖ EEPLD (Dispositivo Lógico Programable Borrable Eléctricamente)
- ❖ MAX (Matriz de Arreglos Múltiples).

Los CPLD son fabricados usando uno de tres procesos tecnológicos: EPROM, EEPROM, o FLASH. Los CPLD basados en EPROM son usualmente programables una vez (“one-time programmable” (OTP)), a menos que tengan una ventana en el encapsulado que permita borrarlos con luz ultravioleta. Generalmente los CPLD poseen tecnología CMOS y utilizan celdas de memorias no volátiles tales como EPROM, EEPROM o FLASH para definir su función. Muchas de las familias CPLD introducidas más recientemente utilizan una EEPROM o FLASH y han sido diseñadas para que ellas puedan ser programadas en el circuito que están montadas (llamadas “ISP”).

Las series XILINX XC9500 son un ejemplo de tales CPLD (Figura 1.6). Se estructuran por “**Bloques de Funciones Configurables**” (CFB), cada uno equivalente a varias macroceldas SPLD.

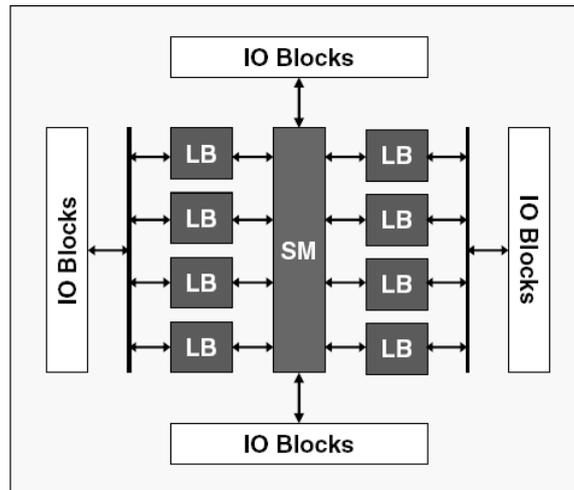


Figura 1.6 Estructura general de un CPLD

Cada pin externo de E/S puede utilizarse como entrada, salida, o pin bidireccional según la programación del dispositivo, determinados pines pueden tener además funciones especiales de uso común para los bloques lógicos: señales globales de Reloj (GCK), Set/Reset (GSR) y Control de tercer estado (GTS).

Una tendencia importante en los CPLD y otros dispositivos como los FPGA es la de proveer a los bloques de entrada/salida de controles “analógicos” en adición a los “digitales” que ya poseen. Estos controles son:

- ❖ Control del slew-rate: El tiempo de subida (rise time) y el tiempo de caída (fall time) de las señales de salida puede ser mayor o menor. Un ajuste rápido permite un retardo de propagación lo menor posible y un ajuste lento ayuda a controlar el ruido del sistema y reflexiones en las líneas de transmisión a expensas de un pequeño retardo adicional.
- ❖ Resistencia de pull-up: Cuando se activa el resistor de pull-up protege a los pines de salida de quedar “flotantes” cuando el CPLD se energiza. Esto es muy útil cuando las salidas se usan para manejar entradas activas a nivel bajo de otros circuitos que se supone no estén habilitados durante la energización del CPLD.
- ❖ Tierra programable por el usuario: Permite convertir un pin de entrada/salida en un pin de tierra. Esto es necesario cuando se trabaja en aplicaciones de alta velocidad y alto slew-rate, donde se requieren pines de tierra extras para manejar las elevadas corrientes dinámicas que fluyen cuando varias salidas conmutan simultáneamente.

FPGA (Campo Programable de Arreglos de Compuertas).

Otros dispositivos programables son los **FPGAs (Campos Programables de Arreglos de Compuertas)**, figura 1.7. Estos son distintos a los SPLD y a los CPLD, y típicamente ofrecen una capacidad lógica superior. Un FPGA consiste en un arreglo de bloques lógicos, individualmente más pequeños que los de otros PLD, pero en mucha más cantidad, rodeado de bloques de entrada/salida y con una gran cantidad de recursos de interconexión; todos estos programables.

Un FPGA típico, según la familia, puede contener de 64 a miles de bloques lógicos y un número de biestables aún mayor, así como cientos de bloques de entrada salida. La mayoría de los FPGAs no proveen un 100% de interconexión entre los bloques lógicos (realizar esto sería muy costoso).

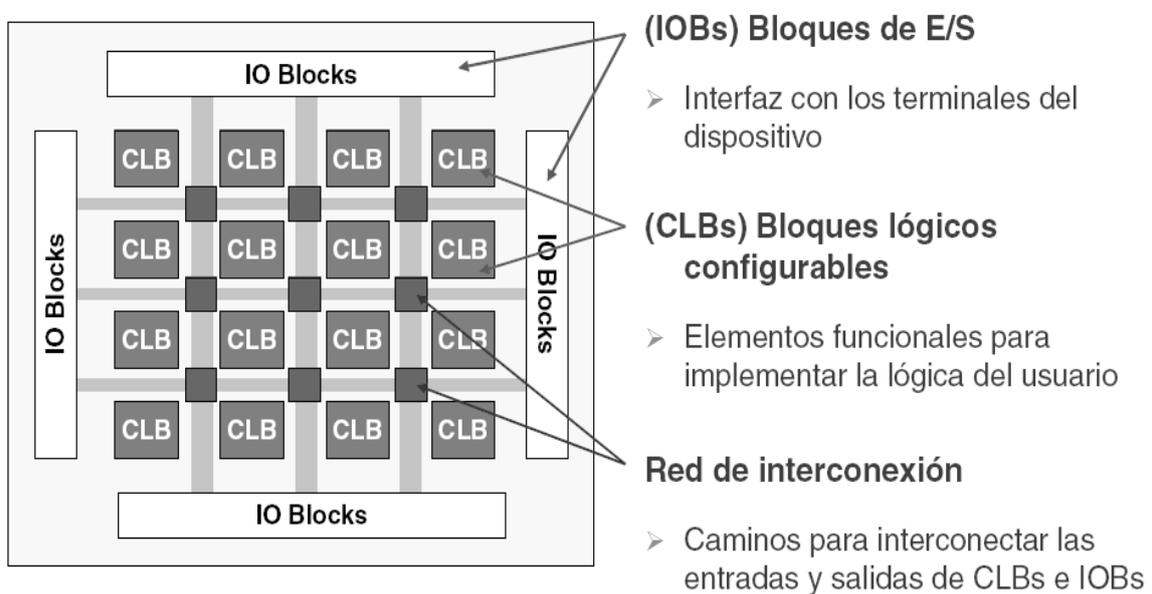


Figura 1.7. Estructura general de un FPGA

Actualmente los FPGA de mayor densidad se construyen utilizando la tecnología de memoria estática (SRAM), similar a los microprocesadores. La otra tecnología de proceso utilizada es la llamada anti-fusible, que ofrece beneficios para una amplia interconexión programable.

Los dispositivos basados en SRAM son inherentemente reprogramables, inclusive en el sistema, pero requieren de una forma de configuración externa desde una memoria fuente. La memoria de configuración interna almacena el programa que define cómo funciona cada uno de los bloques lógicos, cuáles bloques I/O son entradas y salidas y cómo los bloques están interconectados entre sí. El FPGA autocarga su configuración de una memoria o un procesador externo y direcciona una PROM con ancho de byte estándar, de forma muy parecida a un procesador que direcciona su PROM de arranque o utiliza una PROM serie de acceso secuencial especial. Cuando ha sido

descargada por un procesador, el FPGA aparece como un periférico estándar del microprocesador.

Por otro lado, los dispositivos anti-fusible se programan una vez (OTP). Una vez programados no pueden ser modificados, pero pueden retener sus programas cuando se apaguen. Los dispositivos anti-fusible son programados en un dispositivo programador ya sea por el usuario final, por la fábrica o el distribuidor.

El FPGA proporciona un grupo de circuitos integrados digitales de un alto funcionamiento y de alta densidad. Su arquitectura regular, extensible y flexible está compuesta por un programa de configuración almacenado por tres tipos de elementos configurables: Un perímetro de Bloques de Entrada/Salida (IOB), un núcleo de arreglo de Bloques Lógicos Configurables (CLB) y recursos de interconexión.

Los sistemas de desarrollo de aplicaciones proporcionan las herramientas necesarias para el diseño. Como alternativas de verificación del diseño están disponibles la simulación lógica, temporización y emulación circuital. El editor del diseño es usado para la optimización interactiva del diseño y para compilar los datos que representan el programa de configuración.

Las funciones lógicas e interconexiones del FPGA están determinadas por los datos del programa de configuración almacenado en las celdas de memoria estática internas. El programa puede ser cargado en cualquiera de los distintos modos que acomoden a los requerimientos del sistema. El programa reside externamente en una EEPROM, EPROM o ROM en la maqueta de aplicación, en un disquete o disco duro de una PC. Al energizar el sistema se produce una inicialización lógica interna que carga automáticamente el programa de configuración.

Ventajas de los Arreglos Programables de Campos de Compuertas (FPGA)

El éxito a alcanzar por determinado producto en el mercado depende de las ventajas que ofrezca, es por ello que los Arreglos Programables de Campos de Compuertas (FPGA) son muy solicitados en el mundo electrónico. Son varias las ventajas que permiten que la aplicación de los FPGA vaya más allá de la implementación de lógica digital, porque estos se pueden utilizar no solo para la realización de arquitecturas específicas, sino también, para aplicaciones que requieren de un gran número de operaciones, puesto que en los FPGA un elemento de procesamiento se puede diseñar para efectuar la operación requerida y varias instancias de este se pueden reproducir para llevar a cabo procesamiento paralelo.

Actualmente los FPGA permiten la implementación de sistemas muy complejos, cuyo hardware se adapta fácilmente para optimizar la realización de diferentes funciones a partir de módulos prediseñados y verificados. Por ello se usan cada vez más para desarrollar sistemas electrónicos de control, de comunicaciones u otros, que necesitan cambios en la función que realizan, no solo en la fase de diseño sino también durante la vida útil.

Los FPGA en vez de adaptar la electrónica interna durante la fabricación, la adaptan por modificaciones eléctricas. Las modificaciones eléctricas toman milisegundos o minutos dependiendo de la tecnología de programación, comparado con las semanas que toma el proceso de diseño de otros componentes. La programación de los FPGA se realiza con dispositivos de programación simples y económicos, ya que el usuario lo puede programar en minutos, y una corrección en el diseño se puede realizar rápidamente.

Todas estas ventajas traen consigo el incremento del desarrollo de estos dispositivos y disponibilidad en el mercado.

1.5 Descripción del hardware. Tarjeta de desarrollo Spartan™-3 de Xilinx®.

La elección adecuada del hardware, es un elemento importante a la hora de realizar un diseño, siendo necesario determinar cuales serán los elementos hardware y software para el desarrollo del mismo. Primeramente se debe hacer un estudio de las posibilidades y las limitantes de los elementos hardware en los cuales será implementado el sistema.

La tarjeta con el Spartan™-3 XC3S1000FT-256 (ver anexo 4), como soporte físico brinda un potente entorno de desarrollo para diseños que pueden ir desde un circuito digital simple con lógica combinacional hasta uno con sistemas embebidos y módulos de Propiedad Intelectual. La misma posee un circuito integrado FPGA, dispositivos de entrada/salida, visualizadores, interruptores y memorias **RAM** (figura 1.8).

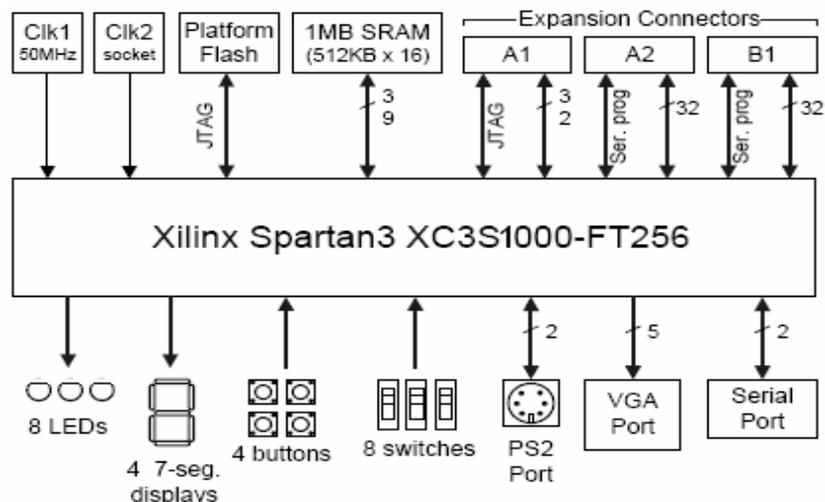


Figura 1.8 Diagrama en bloques de la tarjeta de desarrollo. Tomado del manual Spartan™-3 System Board.

Además cuenta con una memoria **FLASH** programable desde la computadora, con la que se tendría el equivalente a una memoria **ROM** y con ello la posibilidad de hacer de la tarjeta de desarrollo un entorno perfecto para implementar aplicaciones no volátiles.

Entre los elementos de la tarjeta, que mayor importancia tienen, está la FPGA del tipo XC3S1000 de Xilinx®. La misma tiene en su interior un conjunto de 1. 000 000 de compuertas, con 17 280 células lógicas equivalentes, 24 bloques de **RAM** de 18 Kbit cada uno, 24 multiplicadores por hardware de 18x18 bits y hasta 173 señales de entrada/salida definibles por el usuario.

Se tienen además, dos (2) tipos de memoria con acceso desde la FPGA. Una memoria flash de 2Mb, de los cuales 1Mb es de datos no volátiles o para almacenar códigos de aplicaciones, el otro Mb se usa para almacenar la configuración que debe tomar la FPGA. La otra memoria es del tipo **SRAM**, que constituye un arreglo de dos (2) memorias **SRAM** que en total suman 1MB. Este arreglo incluye dos (2) dispositivos del tipo IC IS61LV256AL-10T de 256Kx16 con un tiempo de acceso de 10ns. En la Figura 1.9 se puede observar la conexión de las memorias con la FPGA.

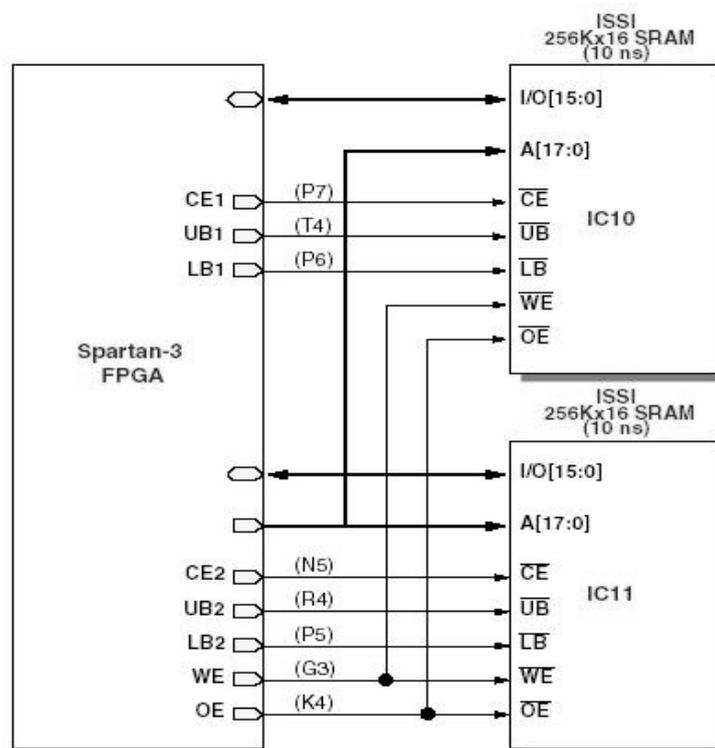


Figura 1.9 Conexiones de las SRAM con el FPGA.

Se puede formar un arreglo de 256Kx32 o bien usar las memorias independientes de 256Kx16. Ambas **SRAM** comparten la misma señal **write enable**, **WE**, **output enable**, **OE** y el bus de direcciones (**A [17:0]**). Sin embargo cada memoria tiene una señal de control **chip select CS** y bits de control de habilitación independientes para seleccionar

la parte alta o baja en la palabra de 16 bits, las cuales son *UB* y *LB* respectivamente. La configuración para obtener palabras de 32 bits es muy útil si se desean implementar con MicroBlaze™ aplicaciones de procesamiento digital de señales.

1.5.1 Periféricos incluidos en la tarjeta de desarrollo.

La tarjeta además de poseer los elementos antes expuestos, tiene también varios periféricos que permiten la conexión, comunicación y visualización de la información. A continuación se hace referencia a los periféricos más importantes.

Con el propósito de controlar un monitor VGA, se tiene un **conector DB15** como salida de video. A través de este se generan las señales de color y sincronismo necesarias para la composición de imágenes en la pantalla. La tarjeta asigna a cada píxel 3 bits, con lo que es permisible obtener 8 colores. Con esta posibilidad se pueden lograr aplicaciones para mostrar información o para desarrollar una interfaz gráfica de usuario.

Al igual que el conector para video, se cuenta con un conector para teclado. El conector es del tipo **PS/2** basado en el estándar **mini-DIN** de 6 pines. Mediante este se comunica el teclado usando un bus de dos líneas: datos y reloj. Con estas dos señales se generan palabras de 11 bits que contienen la información proveniente del teclado. Además la interfase de teclado permite la transferencia bidireccional de datos. El teclado **PS/2** usa códigos de exploración para comunicar el dato de la tecla presionada.

La comunicación serie se realiza usando el estándar **RS-232**. Este transmite y recibe las señales a través del conector hembra **DB9** denominado como J2. El puerto serie es compatible con los de las PC, conectándose a ellos mediante un cable serie de 9 pines estándar. Entre la FPGA y el conector **DB9** se encuentra un adaptador de niveles del tipo MAX3232, encargado de desplazar los niveles lógicos de voltaje. Además se brinda un canal secundario serie **RS-232** de transmisión/recepción para pruebas en la tarjeta, este canal equivale a los terminales del **jumper J1**.

La programación de la FPGA y la memoria **FLASH**, así como el proceso de depuración se realiza usando el puerto **JTAG**. Este es de descarga paralelo, multipropósito y de bajo costo. El conector **JTAG** va en los pines del puerto **J7**, el otro extremo se conecta al puerto paralelo de la PC. La interfase de este cable es completamente compatible con el programa iMPACT® disponible en el paquete Xilinx® ISE 6.3i.

Para aplicaciones que requieran visualización, se cuenta con ocho diodos **LED** y cuatro dígitos formados con **7 segmentos**. Los diodos **LED** están referenciados como LD7...LD0, en ese orden, de izquierda a derecha. Cada uno de sus cátodos se conecta a tierra a través de una resistencia de 270 Ω. Así, para iluminar cada LED se debe enviar un uno (1) lógico al pin correspondiente del FPGA. En el caso de los visualizadores de 7 segmentos, cada dígito comparte ocho señales de control y cada carácter tiene una señal de control del ánodo, o sea, se usa visualización multiplexada. De esta forma para mostrar un carácter basta con poner un cero (0) lógico en la señal que controla cada ánodo de forma individual y escribir el código correspondiente al carácter en los pines del FPGA.

Se cuenta con cuatro botones de contacto y ocho interruptores, los cuales se pueden utilizar para intercambiar información entre el usuario y la aplicación. Ambos están conectados a los pines del FPGA. Se nombran de **SW7** a **SW0** y **BTN3** al **BTN0**, de izquierda a derecha respectivamente. Cuando estos se conmutan a la posición de **ON**, se conecta el pin correspondiente del FPGA a **VCC** y en caso contrario se conecta a **GND**. Estos necesitan cerca de 2ms de rebote mecánico. Además el botón **BTN3** tiene la función de **reset** predeterminado de usuario.

Para conectar dispositivos electrónicos externos, se tienen 3 conectores de expansión denominados A1, A2 y B. Estos ofrecen alguna posibilidad de configuración del FPGA, para aplicaciones que requieran más capacidad de memoria. Cada conector de expansión tiene 40 pines y brinda fuentes de voltaje. El conector A1 comparte conexiones con las memorias **SRAM**, específicamente las líneas del bus de direcciones y las señales de control **OE** y **WE**. Además el conector **JTAG** está disponible en los pines desde el 36 al 40. El conector A2 tiene la mayoría de sus pines conectados con el FPGA. El pin 35 se conecta con el **socket** para el reloj auxiliar, por si se instala una fuente auxiliar de temporización. Los pines del 36 al 40 son las señales requeridas para configurar el FPGA en modo serie maestro o esclavo. Al igual que el conector A2, el B también tiene la mayoría de sus pines conectados al FPGA. Los pines 36 - 40 y 5, 7, 9, 11, 13, 15, 17, y 19 brindan las señales para configurar el FPGA en modo paralelo maestro o esclavo.

Herramientas para el diseño.

Existe una amplia variedad de herramientas disponibles para cargar los diseños en los dispositivos lógicos programables. Algunos diseñadores prefieren los diseños en esquemático, otros prefieren especificar su diseño usando lenguajes de descripción del hardware tales como Verilog, ABEL o VHDL y otros prefieren unir ambos en un mismo diseño. Tradicionalmente, las herramientas basadas en esquemático proporcionan a los diseñadores avanzados un mayor control de la localización y las conexiones físicas de la lógica en el dispositivo; pero se necesita un tiempo mayor para lograr un diseño determinado. Sin embargo, al emplearse las herramientas basadas en lenguajes, se logran diseños más rápidos pero con la posibilidad de no aprovechar eficientemente los recursos del dispositivo. En la PC se simula el circuito para asegurar que este opere correctamente, luego el diseño es descargado a través del puerto paralelo de la PC hacia el FPGA, donde éste puede ser depurado y verificado.

En este capítulo se expusieron los fundamentos teóricos de los conceptos fundamentales que sirven de base a la investigación, se caracterizó la espectroscopia de bioimpedancia eléctrica, se hizo una breve descripción de los principales bloques que conforman el espectroscopio de bioimpedancia eléctrica, se hizo un breve estudio sobre los Dispositivos Lógicos Programables (PLD) y se documentan los soportes de diseño y hardware disponibles en la Universidad de Oriente, FIE.

Capítulo 2

CAPÍTULO 2. DISEÑO DEL SINTETIZADOR DIGITAL DE FRECUENCIA.

En el este capítulo se describe la metodología y el diseño de los módulos fundamentales que conforman el sintetizador digital de frecuencia, se selecciona y describe el hardware utilizado para la síntesis del sintetizador digital de frecuencia y se muestra el esquemático empotrado en el módulo de generación, diseño del filtro de reconstrucción.

2.1 Metodología seguida para los cálculos del diseño del DDFS.

1. Selección de la frecuencia de muestreo.
2. Cálculo para el diseño del DDFS.
 - ❖ Cálculo para el diseño del acumulador de fase (cálculo de W).
 - ❖ Cálculo para el diseño del conversor fase amplitud (cálculos de B y P)
3. Selección del conversor digital analógico
4. Diseño del filtro de reconstrucción.

Características del sintetizador para el espectroscopio de bioimpedancia eléctrica.

- ❖ Precisión frecuencial: 0.1Hz.
- ❖ Frecuencia máxima de trabajo: 1MHz.
- ❖ Resolución del conversor digital analógico N=10 bit.

2.1.1 Selección de la frecuencia de muestreo

La frecuencia de muestreo f_S se fija de acuerdo con el criterio de Nyquist. En aras de simplificar el filtro de reconstrucción, por lo general se emplea la siguiente regla:

$$f_S \geq 2f_{MAX} \quad \mathbf{2.1}$$

Donde f_{MAX} es la máxima frecuencia de la portadora.

Como $f_{MAX} = 1MHz$ entonces se tomó una señal de reloj proveniente de la tarjeta de desarrollo con frecuencia $f_S = 12.5 MHz$.

2.1.2 Cálculos para el diseño del SDD.

El número de bits del acumulador (W) se calcula de la ecuación (1.3) obteniéndose:

$$W = \log_2 \left(\frac{f_s}{\Delta f} \right) \quad 2.2$$

Para $f_s = 12.5 \text{ MHz}$ y $\Delta f = 0.1 \text{ Hz}$, $W = 26$ bits. El incremento de fase se puede cargar en el SDD empleando una interfaz de (8 bits) en cuatro transferencias, debido a que cuando esto se realiza generalmente no importa el valor de salida. Teniendo en cuenta esto fijamos $W=32$ bits resultando $\Delta f = 0.0019 \text{ Hz}$.

La pureza espectral del SDD está dada por el ruido de cuantificación y los espurios generados, producto del truncamiento de fase [4].

Fijando la cantidad de bit del conversor digital analógico $N=10$, error de cuantificación SQNR (dB) y máximo nivel de espurios WCSM (dB) se calculan de (1.4) y (1.5) resultando:

$$SQNR = 62dB$$

$$WCSM = 60dB$$

Para implementar el CFA se almacena un período de la senoide en una memoria ROM implementada dentro del FPGA.

2.1.3 Selección del conversor digital analógico y el filtro de reconstrucción

El CDA seleccionado es el AD9721BN de Analog Devices. Este es un conversor de 10 bits, reloj de 100 MHz, amplio rango dinámico libre de espurios. [16]

El filtro de reconstrucción debe atenuar las componentes espectrales que se encuentran más allá de $f_s/2$. El filtro a diseñar es de estructura Butterworth con frecuencia de corte de 250 KHz. y atenuación mínima en la banda de rechazo de -100dB.

2.2 Diseño General del sistema.

La estructura general del sistema se centra en el FPGA como unidad generadora, que recibe información del microcontrolador de la frecuencia de la onda que se desea generar y entregando un total de cuatro señales, las ondas cuadradas correspondientes al seno y coseno respectivamente, también una señal digital seno y coseno a los convertidor digital/análogo, donde esta señal analógica pasa por una etapa de filtrado para obtener una señal suavizada, la cual se entrega de forma analógica al Espectroscopio de Bioimpedancia Eléctrica como se muestra en la Figura 2.1.

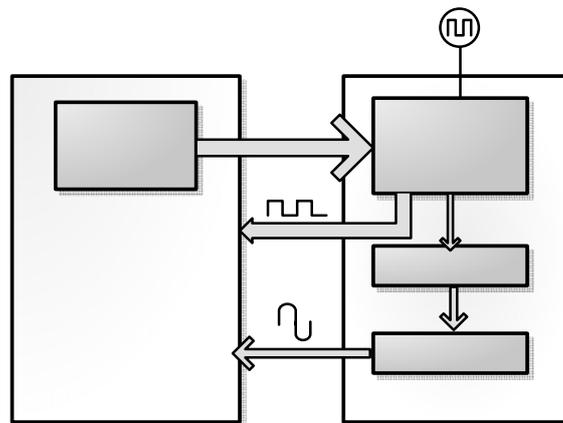


Figura 2.1 Estructura general del sistema.

2.2.1 Módulo de Generación.

Para el diseño se debe tener en cuenta qué dispositivo se va a emplear y el programa (o los programas) a emplear en su programación.

Para programar dichos dispositivos se cuenta con ISE WebPACK 7.1. El diseño de las distintas partes del sintetizador se realiza a partir de ficheros en códigos VHDL, y esquemáticos. Después de esto, empleando las herramientas de implementación, se obtienen los ficheros que son descargados a los FPGA, empleando un cable paralelo.

El diseño se realiza empleando un FPGA Spartan-3 XC3S1000 - FT256 μ C de Xilinx. En los Bloques Lógicos Configurables (CLB) de este dispositivo es donde realmente se realizan las operaciones lógicas deseadas (acumuladores, memorias, compuertas, etcétera).

Diseño empotrado en el FPGA.

En la figura 2.2 se muestra el diseño esquemático embebido en la FPGA (etapa de generación de las ondas digitales), obtenido a partir de la figura 1.2 (Esquema del principio del sintetizador), se necesita de un registro para acumular la palabra de incremento de fase de 32 bit, como el microcontrolador tiene un bus de dato de 8 bit, esta palabra se cargará de ocho bit en ocho, por lo que se requiere de 4 registros de 8 bit para que de esta forma lograr cargar los 32 bit proveniente del microcontrolador. Luego es necesario unir esta señal por lo que se implementó un bloque para concatenar dicha señal (CONCATENADOR), luego se necesita de un registro de 32 bit para cargar los 32 bit provenientes del CONCATENADOR, se suman los 32 con la salida del sumador (retroalimentación), esta salida se necesita almacenar por lo que se utiliza otro registro de 32 bit y final pasa a las memorias ROM (CONVERSION FASE - AMPLITUD), el diseño empotrado tiene un total de 7 pines, cuatro de ellos como entrada y tres como salida para conectar los DAC, posee 11 bloques, cada uno programados en lenguaje de descripción de hardware (VHDL) y enlazados por medio de un esquemático.

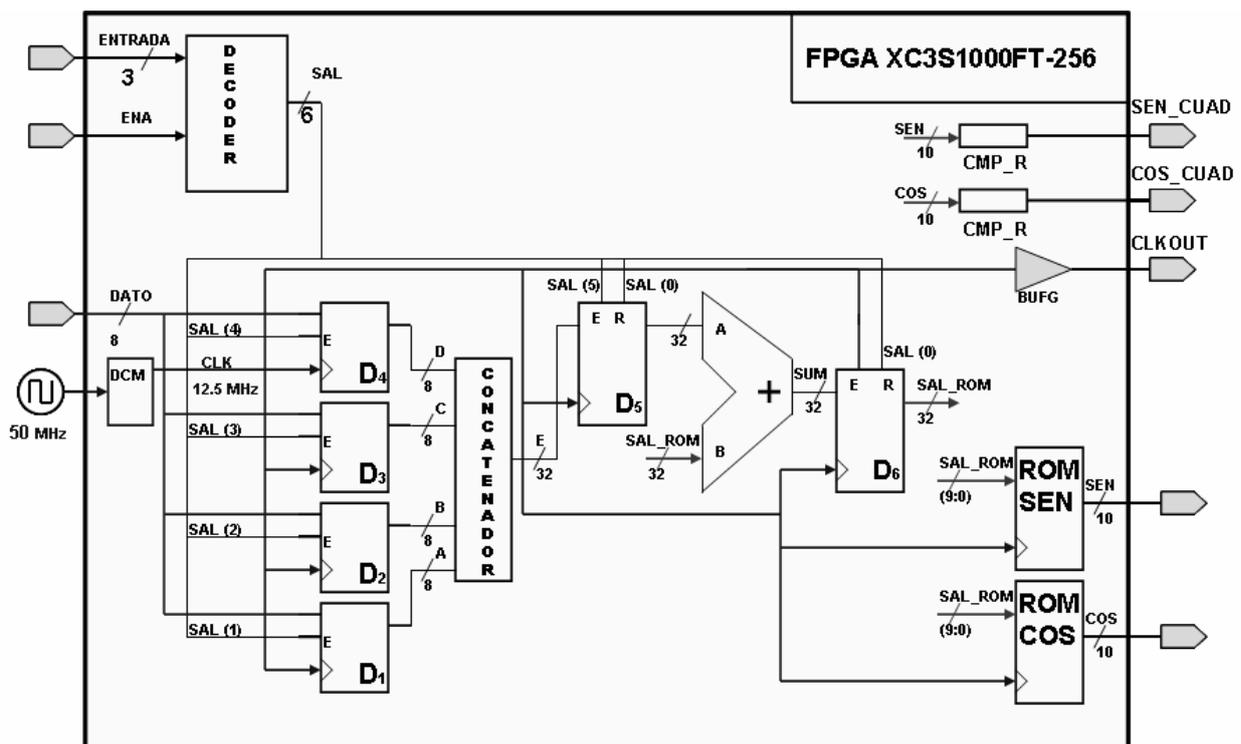


Figura 2.2 Diseño embebido en la FPGA

Descripción de cada bloque empotrada en el FPGA.

1. **Decoder:** encargado en la habilitación de los bloques que lo requieran en un orden definido por el diseñador, este tiene dos señales de entrada (figura 2.3), **ENTRADA** con un ancho de 3 bit para seleccionar cada bit de la señal de salida de un ancho de siete bit (**Sal**) y la otra **ENA** de 1 bits para la habilitación de este bloque, destacar que estas señales provienen de un microcontrolador para el gobierno del sintetizador.

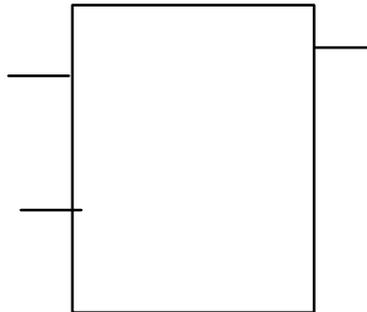


Figura 2.3 Diagrama de entradas y salidas del DECODER.

A continuación se muestra la tabla de control de la salida del bloque Decoder, en la misma se muestra la habilitación de las diferentes etapas que se realizan dentro del sistema embebido en el FPGA.

Tabla 2.1. Control de la salida del decodificador.

ENA	ENTRADAS			BIT.ACT.SAL	BLOQUE ACTIVADO.
	A2	A1	A0		
0	X	X	X	-	-
ETAPA DE INICIALIZACION (RESETEO DE LOS REGISTROS DE 32 BIT)					
1	0	0	0	SAL(0)	REGISTROS DE 32 BIT
ETAPA DE CARGA DE LA PALABRA DE 32 BITS(DE 4 BIT EN 4)					
1	0	0	1	SAL(1)	REGISTRO DE 8 BIT (D1)
1	0	1	0	SAL(2)	REGISTRO DE 8 BIT (D2)
1	0	1	1	SAL(3)	REGISTRO DE 8 BIT (D3)
1	1	0	0	SAL(4)	REGISTRO DE 8 BIT (D4)
ETAPA DE CARGA DE LA PALABRA DE 32 BITS EN EL 1er REGISTRO DE 32 BIT					
1	1	0	1	SAL(5)	REGISTRO DE 32 BIT (D5)
ETAPA DE COMIENZO DE LA SINTESIS					
1	1	1	0	SAL(6)	REGISTRO DE 32 BIT (D6)

2. **DCM:** Un bloque adicional interno es el **Digital Clock Manager (DCM)**, que es una unidad para la administración de los recursos de reloj del FPGA, se utiliza en este caso para dividir la frecuencia del oscilador externo de 50MHz en 12.5MHz.
3. **Registros de ocho bits** (los cuatros primeros): se usan para almacenar la palabra digital de 32 bits proviene del microcontrolador de cuatros bit en cuatros. Con un total de 4 líneas de conexión ([figura 2.4](#)), 3 de ellos como entrada y uno de salida. Las entradas corresponden a la señal de reloj (CLK), entrada de datos (D (7:0)), selección de chip (ENA). Por su parte la salida corresponde al la salida de los datos (Q(7:0))

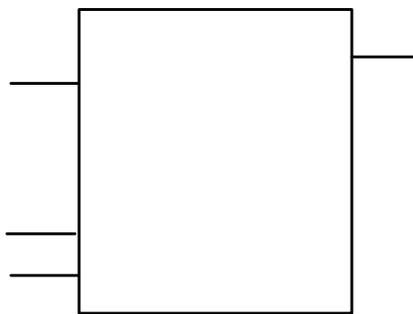


Figura 2.4 Diagrama de entradas y salidas de registro 8 bit.

4. **Concatenador:** se usa para unir la palabra digital proveniente de los cuatros registros de ochos bits. Con un total de 5 pines ([figura 2.5](#)), 4 de ellos como entrada y uno de salida. Las entradas corresponden a (**D**, **C**, **B**, **A**) de 8 bit cada una donde **D** corresponde a los 4 bit más significativos y **A** los 4 bit menos significativos. Por su parte la salida corresponde al valor de las 4 entradas concatenados (**E** (31:0)), de más a menos significativos.

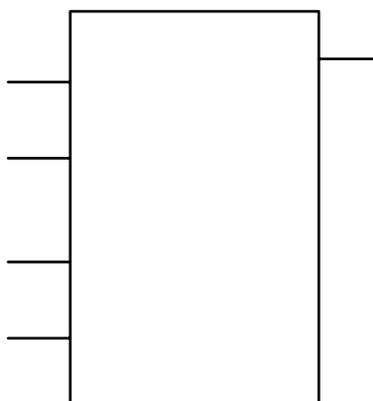


Figura 2.5 Diagrama de entradas y salidas del concatenador.

D [7:0]

RE
DE

CLK

ENA

5. **Sum:** bloque sumador de treinta y dos bits. Con un total de 3 líneas de conexión (figura 2.6), 2 de ellos como entrada y uno de salida. Las entradas corresponden a los valores a suma (**A, B**) de 32 bit. Por su parte la salida (SUMA) corresponde al resultado de la suma de las entradas.

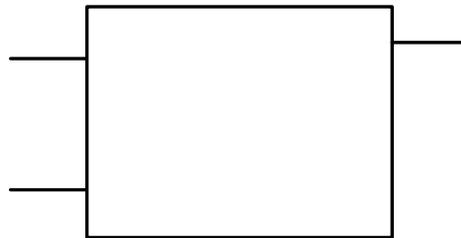


Figura 2.6 Diagrama de entradas y salidas del sumador.

6. **Registros de treinta y dos bits (los dos restantes):** se usan para almacenar la palabra digital de 32 bits proviene del concatenador y del resultado de la suma. Con un total de 5 líneas de conexiones (figura 2.7), 4 de ellos como entrada y uno de salida. Las entradas corresponden a la señal de reloj (CLK), entrada de datos (D (31:0)), selección de chip (ENA), reset del mismo (R). Por su parte la salida corresponde al la salida de los datos (Q(31:0))

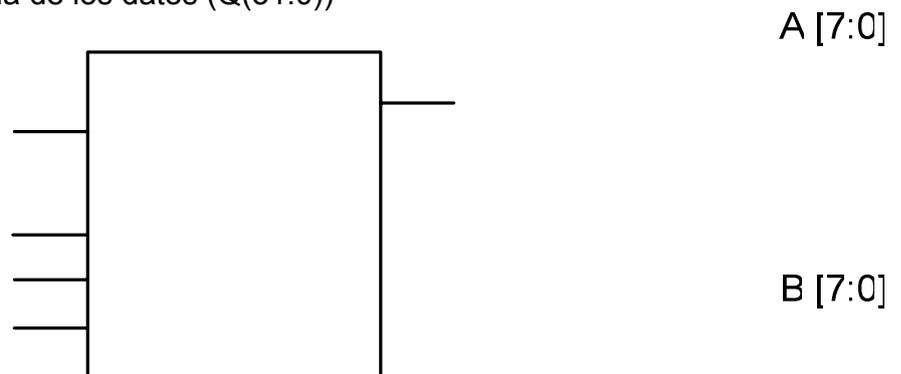


Figura 2.7 Diagrama de entradas y salidas del registro de 32 bit.

7. **ROM_SEN y ROM_COS:** memorias ROM, en las que se implementa el CFA (convertor fase amplitud), se almacena un período de la sinusoide. Con un total de 3 líneas de conexión (figura 2.8), 2 de ellos como entrada y uno de salida. Las entradas corresponden a la señal de reloj (**CLK**), código a direccionar la memoria (**addr (9:0)**). Por su parte la señal de salida (**DATA (9:0)**), estas mismas señales corresponde a las salidas para el exterior **SEN (9:0)** y **COS (9:0)**.

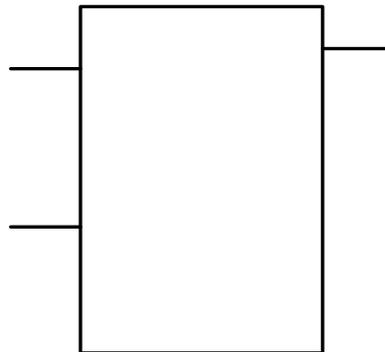


Figura 2.8 Diagrama de entradas y salida de la ROM.

addr [9:0]

Obtención de las muestras de la senoide.

A partir del diagrama de simulación (figura 1.5) se realizó el programa con la herramienta del MATLAB 7.6.0 para la obtención de la senoide, para esto se tuvo en cuenta que para la generación es necesario pasarle la frecuencia normalizada entre la cantidad de muestras por ciclo de señal generada que se desea obtener, por lo que para generar un ciclo de señal con 1024 muestras se le debe pasar 1/1024. En el Anexo 1 se muestra el programa realizado y la figura con el resultado obtenido para 1024 muestras / ciclo.

CLK [7:0]

8. CMP_R: comparador regenerativo, (figura 2.9) con una señal de entrada y una de salida, ENTRADA (9:0) y SALIDA respectivamente, este cumple la función de generar una onda cuadrada a partir de una onda senoidal digital, este necesita que la señal seno digital obtenida suba hasta el valor de 512 para que la salida cambie a su nivel alto, pero luego es necesario que baje hasta 508 para que recupere su nivel bajo original. En este caso, la histéresis fue de 4.



Figura 2.9 Diagrama de entrada y salida del comparador regenerativo.

9. BUFG: búfer encargado de aislar la señal de reloj interna de la señal de reloj externa, (figura 2.10).

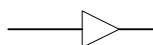


Figura 2.10 Símbolo del búfer.

Asignación de pines para el FPGA.

La tarjeta de desarrollo Spartan-3 tiene tres conectores de expansión de 40-pines etiquetados, A1, A2, y B1. A1 es el conector en la parte superior izquierda, y A2 está en la parte superior derecha ver figura 2.10. El conector B1, como se indica en la figura 2.11, es a lo largo del borde derecho.

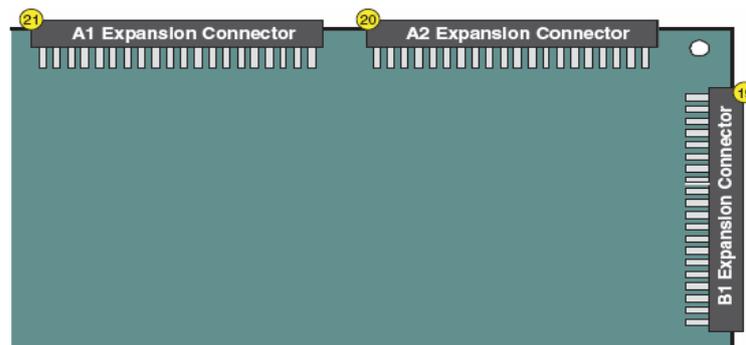


Figura 2.11. Ubicación de los conectores de la tarjeta.

En la Tabla 2.2 se resumen las capacidades de expansión de cada puerto. El conector A1 soporta un máximo de 32 pines de E/S al usuario, mientras que los otros puertos de proporcionar hasta 34 pines al usuario de E/S. muchos pines se comparten con otras funciones en la board, que puede reducir la eficacia de E/S. Por ejemplo, los pines en el puerto de A1 se comparten con la dirección de señales SRAM.

Tabla 2.2 Capacidades de expansión de cada puerto.

Conector	I/O - usuario	Direcc.SRAM	JTAG	Config. Serie	Config. Paralela
A1	32	-	-		
A	34			-	
B1	34			-	-

El conector de 40 pines para cada cabecera de expansión se muestra en la figura 2.12, utiliza 0,1-pulgadas (100 mil) espaciamiento DIP. La clavija 1 de cada conector es siempre GND. Del mismo modo, el pin 2 es siempre la salida de +5 V de DC el cambio de fuente de alimentación. Pin 3 es siempre la salida del regulador de 3,3 V de DC.

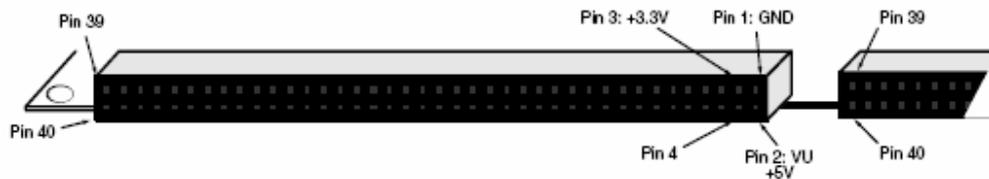


Figura 2.12 Conector de expansión de 40 pines.

Para el diseño del sintetizador se tuvo en cuenta la variedad de pines que posee el FPGA antes mencionado. Se utilizaron 36 pines de entrada/salida, 13 de ellos como entradas y 23 como salidas. En el anexo No.3 se muestra la distribución de pines del FPGA utilizado, y en la Tabla 2.3 la asignación de estos a las señales de entrada. Las señales A(3:0) representan las entradas provenientes del bus de direcciones del microcontrolador que se encargan de indicarle al FPGA el algoritmo a seguir para realizar la síntesis, lo mismo sucede con D(7:0) pero estas especifican la frecuencia que se desea generar (0 – 1 MHz). Se seleccionó el conector A1, para conectar las señales de entradas. Como en el presente diseño no se utilizan las señales compartidas en los puertos, esto no se tuvo en cuenta a la hora de seleccionar los pines a las señales externas. A continuación se brinda la asignación de pines del FPGA a las señales externas.

Tabla 2.3 Pin de salida para el conector de expansión A1.

ASIGNACION DE PINES DEL FPGA A LAS SEÑALES DE ENTRADAS EXTERNAS					
NOMBRE ESQUEMATICO	PIN FPGA	CONECTOR A1		PIN FPGA	NOMBRE ESQUEMATICO
GND		1	2		VU (+5V)
VCCO (+3.3V)	VCCO (all banks)	3	4	(N8)	CLKIN
A0	(N7)	5	6	(L5)	A1
A2	(T8)	7	8	(N3)	A3
DATO 0	(R6)	9	10	(M4)	DATO 1
DATO 2	(T5)	11	12	(M3)	DATO 3
DATO 4	(R5)	13	14	(L4)	DATO 5
DATO 6	(C2)	15	16	(G3)	DATO 7

Se seleccionó el conector A2 para las señales de salidas. En la tabla 2.4 se muestra la asignación de pines del conector A2 para las señales de salida externas. Las señales SEN (9:0) y COS (9:0) son salidas encargadas de entregar la muestra digital a los conversores digital analógicos correspondientes, CLKOUT es la señal de reloj externa para los conversores, SEN_CUAD y COS_CUAD son las ondas cuadradas correspondientes al seno y coseno respectivamente.

Tabla 2.4 Pin de salida para el conector de expansión A2.

ASIGNACION DE PINES DEL FPGA A LAS SEÑALES DE SALIDAS EXTERNAS					
NOMBRE ESQUEMATICO	PIN FPGA	CONECTOR A1		PIN FPGA	NOMBRE ESQUEMATICO
GND		1	2		VU (+5V)
VCCO (+3.3V)	VCCO (all banks)	3	4	(E6)	CLKOUT
SEN 0	(D5)	5	6	(C5)	SEN 1
SEN 2	(D6)	7	8	(C6)	SEN 3
SEN 4	(E7)	9	10	(C7)	SEN 5
SEN 6	(D7)	11	12	(C8)	SEN 7
SEN 8	(D8)	13	14	(C9)	SEN 9
COS 0	(D10)	15	16	(A3)	COS 1
COS 2	(B4)	17	18	(A4)	COS 3
COS 4	(B5)	19	20	(A5)	COS 5
	(B6)	21	22	(B7)	
COS 6	(A7)	23	24	(B8)	COS 7
COS 8	(A8)	25	26	(A9)	COS 9
SEN_CUAD	(B10)	27	28	(A10)	COS_CUAD

En la [figura 2.13](#) se muestra la estructura de entrada / salida del diseño empotrado en la FPGA.

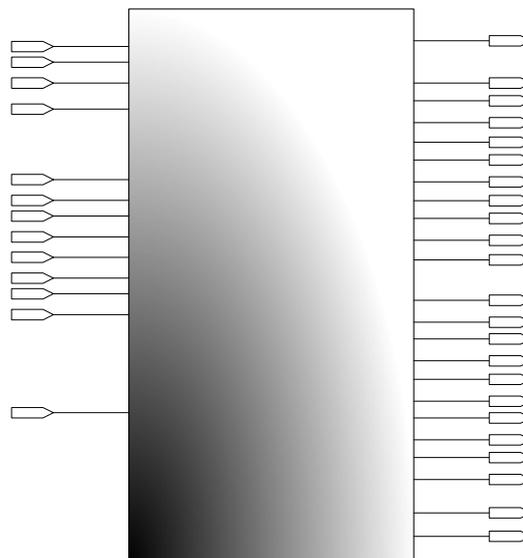


Figura 2.13 Diagrama de entrada salida del módulo empotrado en la FPGA.

En el anexo 6 se muestra el algoritmo a seguir para el control del sintetizador, así como para la generación de la señal portadora ([figura 2.14](#)), el incumplimiento de este algoritmo provocaría un mal funcionamiento del generador de onda. Donde A

son las cuatros líneas de direcciones proveniente del microcontrolador. En la tabla 2.1 se muestra para los distintos valores de (A) las salidas seleccionadas.

Resultados de la unidad generadora.

Las tablas de costo de implementación en el FPGA se muestran, Tabla 2.5, se muestran los costes de implementación de los bloques funcionales y finalmente para la estructura completa:

Tabla 2.5 Utilización del FPGA XC3S100FT256

Utilización lógica	Usada	Disponible	Utilización
Número de Slice Flip Flops:	98	15360	1%
Número de LUT de 4 entradas:	880	15360	5%
Total de números de LUT de 4 entradas	890	15360	5%
Número de IOB:	37	173	20%
Número de GCLK:	3	8	37%
Número de DCM:	1	4	25%

IOB: Bloques de entrada/salida.

GCLK: Buffers globales de reloj.

LUT : Tablas de búsqueda.

Como se observa el consumo de recursos de los bloques de entradas – salidas es de 37 de los 173 disponibles en el FPGA, lo que indica que se trata de un diseño que comparado con el tamaño del dispositivo FPGA utilizado es pequeño, por lo que es aconsejable escoger un dispositivo de menor capacidad para lograr un diseño más eficiente, por ejemplo un CPLD.

Simulación de la unidad generadora.

Para la simulación de la unidad generadora se siguió el algoritmo propuesto para el control del sintetizador desde un microcontrolador (ver anexo 6), para el caso que nos ocupa la frecuencia de salida deseada es de 250 kHz, por lo que es necesario cargar en el registro acumulador de fase el valor de incremento de fase de 51C70F0H en cuatro transiciones, los resultados esperados son los siguientes:

Señales de salidas:

1. CLKOUT, señal de reloj de 12.5 MHz, esta señal de reloj equivale a cuatro períodos de la señal de 50 MHz (ver anexo 4 figura A).
2. GEN.SEN, durante el tiempo de inicialización debe tener a la salida 200H, primer valor grabado en la memoria ROM, luego de cargarse la palabra de incremento de fase en cada ciclo de reloj GEN.SEN debe tener el valor diferente (ver anexo 4 figura A).
3. GEN.COS, ésta durante el tiempo de inicialización debe tener a la salida 3FE Hex. Este es el primer valor grabado en la memoria ROM_COS, luego de cargarse la palabra de incremento de fase en cada ciclo de reloj debe tener el valor diferente (ver anexo 4 figura A).
4. SEN_CUAD, onda cuadrada correspondiente a la señal seno, (ver anexo 4 figura B), esta durante un tiempo de 30 us, esta señal dura 8 ciclos, por lo que se comprueba que la frecuencia de dicha señal es de 250 KHz.
5. COS_CUAD, onda cuadrada correspondiente a la señal coseno, (ver anexo 4 figura B), esta durante un tiempo de 30 us, esta señal dura 8 ciclos, por lo que se comprueba que la frecuencia de dicha señal es de 250 KHz.

2.2.2 Módulo de Conversión.

Luego de la etapa de síntesis (FPGA) viene la etapa de conversión digital analógica, se seleccionó el AD9721BN (ver [figura 2.15](#)) por ser un convertor digital analógico de 10 bit, de alta velocidad de conversión. Compatible con dispositivos TTL y con un tiempo de actualización de 10 MSPS.



Figura 2.15 Conversor digital / analógico AD9721BN.

Diseñado para la síntesis digital directa (DDS), reconstrucción de formas de ondas y aplicaciones de videos de alta resolución, tiene un bajo impulso glitch de 1.5pV y tiempo de establecimiento de 4.5 ns a un $\frac{1}{2}$ LSB. Está caracterizado por una dinámica eficiente, una excelente supresión armónica y gran pureza espectral en aplicaciones de generación de forma de onda [16].

Esta unidad tiene un encapsulado plástico de 28 pines DIPs, capas de operar en un rango de temperatura de -25 °C a +25 °C.

Como se mencionó anteriormente esta etapa está conecta del FPGA por medio de las entradas del dato a convertir D₁ – D₁₀, y la señal de reloj como muestra la [figura 2.16](#). Todas las señales se conectaron siguiendo el datasheet que brinda el fabricante.(ver anexo 4).

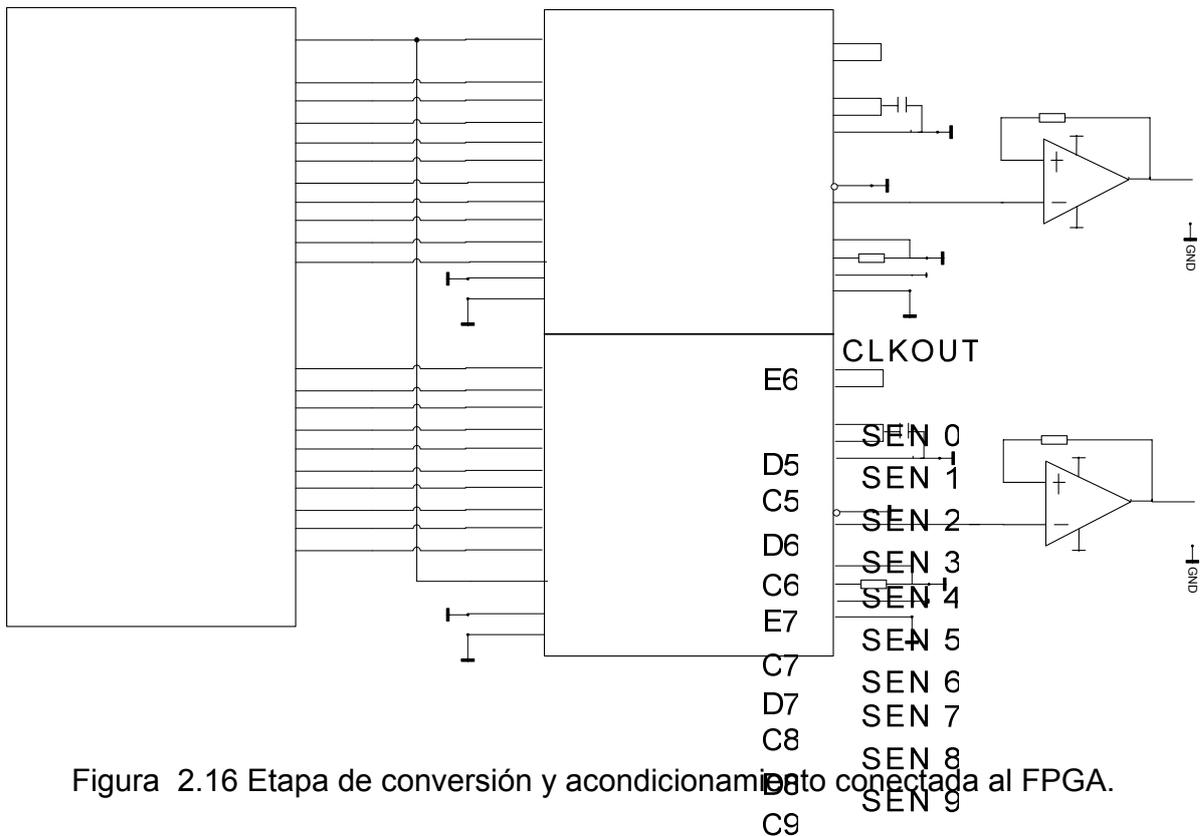
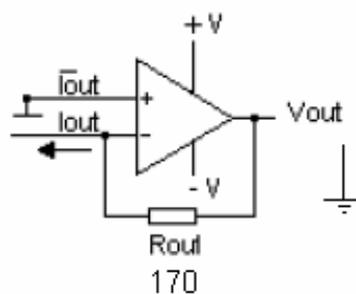


Figura 2.16 Etapa de conversión y acondicionamiento conectada al FPGA.

Debido a que la salida de este acondicionamiento de corriente se implementó un circuito conversor de corriente a voltaje (figura 2.17) compuesto por uno de los cuatros amplificadores operacionales que tiene el CI TL074

FPGA SPARTAN 3

Convertidor de corriente en tensión para obtener voltaje unipolar positivo.



- D10 COS 0
- \3 COS 1
- 34 COS 2
- \4 COS 3
- 35 COS 4
- \5 COS 5
- \7 COS 6
- 38 COS 7
- \8 COS 8
- B9 COS 9

Figura 2.17 Convertidor de corriente a tensión.

$$V (+) = 0$$

$$V (-) = V_{out} - I_{out} R_{out}$$

33

Como el circuito opera en régimen lineal, $V (-) = V (+)$ por lo que:

+5V

$$V_{out} = I_{out} R_{out}$$

2.4

Para cuando todos los bit del conversor sean cero entonces de la ecuación 2.6:

$$V_{out} = 0$$

Así para cuando todos los bit de entrada sean uno de la ecuación 2.6:

$$V_{out} = 3.5 \text{ V. (máximo voltaje de salida unipolar)}$$

Como $I = 20.48 \text{ mA}$, entonces $R = 170 \ \Omega$.

Luego de obtener una salida analógica unipolar de $0 - 3.5 \text{ V}$ por cada canal, dígame canal al del la salida seno y coseno, se conecta la etapa de filtrado, formado por un filtro pasa bajo Butterworth 5to orden con frecuencia -100 dB/Dec .

2.2.3 Módulo de Filtrado.

Diseño del filtro de reconstrucción.

Se diseña un filtro Butterworth pasa bajas de quinto orden, donde su función es dejar pasar las frecuencias de **dc** hasta una frecuencia deseada y atenúa las frecuencias altas, f_0 se conoce como frecuencia de corte. El rango de frecuencia baja de 0 a f_0 se conoce como banda de paso o ancho de banda, y el rango de frecuencia alta de f_0 a infinito se conoce como banda de atenuación completa.

Debido que para el diseño de un filtro de orden dos en adelante toma una alta complejidad, es recomendable usar filtros de primero y segundo órdenes como bloques básicos para construir filtros de mayor orden. Por lo anteriormente expresado se diseña un filtro de primer orden y luego otro de segundo orden.

Diseño de un filtro Butterworth pasa bajas de primer orden.

Se desea que filtro atenué las frecuencias que se encuentran por encima de la frecuencia de corte (f_0), que en nuestro diseño es de 250 Khz . Fijando un valor de $C1 = 10 \text{ pF}$ de la ecuación 2.7 se obtiene el de $R1$:

$$f_0 = \frac{1}{2\pi RC}$$

2.5

Despejando R : entonces la ecuación 2.7 tomo la siguiente forma:

$$R = \frac{1}{2\pi f_0 C}$$

2.6

Haciendo los cálculos correspondiente a la ecuación 2.8, $R=63.70 \text{ k}\Omega$, debido que este valor de resistencia no es comerciable se usó un potenciómetro de $100 \text{ k}\Omega$ para ajustar el valor deseado de R .

Seleccionar R_i y R_f de acuerdo a la ganancia K deseada.

$$K = \left(1 + \frac{R_f}{R_i}\right)$$

2.7

de la ecuación 2.9, para una ganancia unitaria ($K=1$) por lo que $R_f = R_i = 0$.

En la [figura 2.18](#) se muestra el esquema eléctrico para la simulación en Protel 99 SE, se simuló a la entrada una fuente de AC, en este diseño es la señal de salida de la etapa de acondicionamiento.

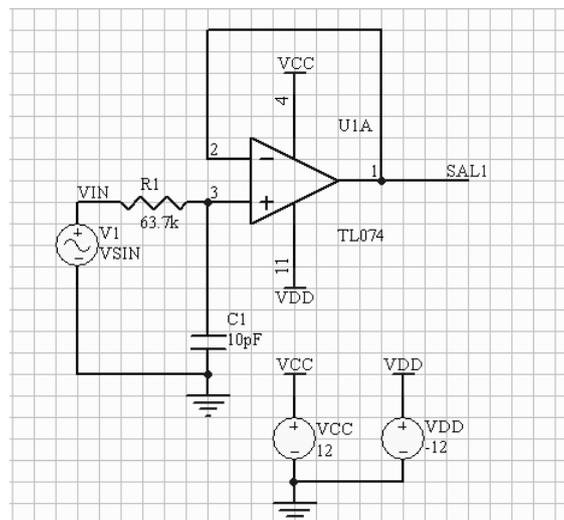


Figura 2.18 Filtro Butterworth de 1er orden.

La [figura 2.19](#) muestra la respuesta en frecuencia del filtro de 1er orden con donde cae a una razón de -20 dB/Dec .

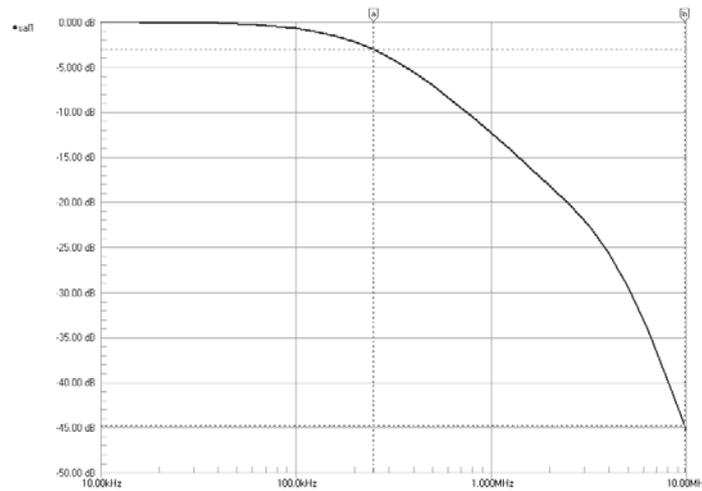


Figura 2.19 Respuesta en frecuencia del filtro de 1er orden.

Diseño de un filtro Butterworth pasa bajas de segundo orden.

La frecuencia de corte $f_0 = 250$ KHz y el factor de calidad ($Q = 0.5$) para lograr una respuesta máximamente plana. Para simplificar los cálculos de diseño, sean $R_2 = R_3 = R$ y sea $C_2 = C_3 = C$, sea $C = 10$ pF de la ecuación 2.8, $R = 63.70$ k Ω .

Debido que este valor de resistencia no es comerciable se usó un potenciómetro de 100 k Ω para ajustar el valor deseado de R.

De la siguiente ecuación para respuesta de Butterworth:

$$K = 3 - \frac{1}{Q}$$

2.8

Para ganancia unitaria, el factor de calidad $Q = 0.5$.

En la figura 2.20 se muestra el esquema eléctrico para la simulación en Protel 99 SE, se simuló a la entrada una fuente de AC, que en este diseño es la señal de salida del filtro de primer orden.

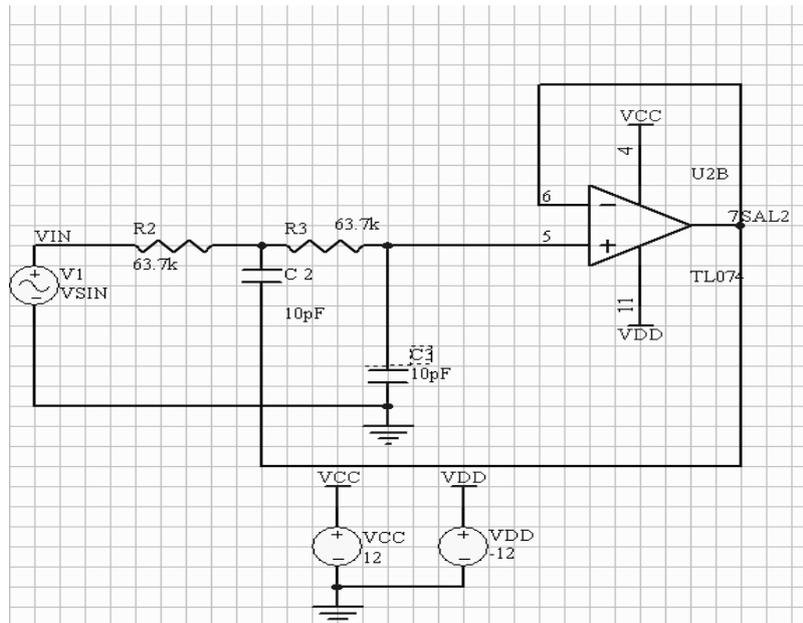


Figura 2.20 Filtro Butterworth de 2do orden.

La [figura 2.21](#) muestra la respuesta en frecuencia del filtro de 2do orden, con una razón de -40dB/dec .

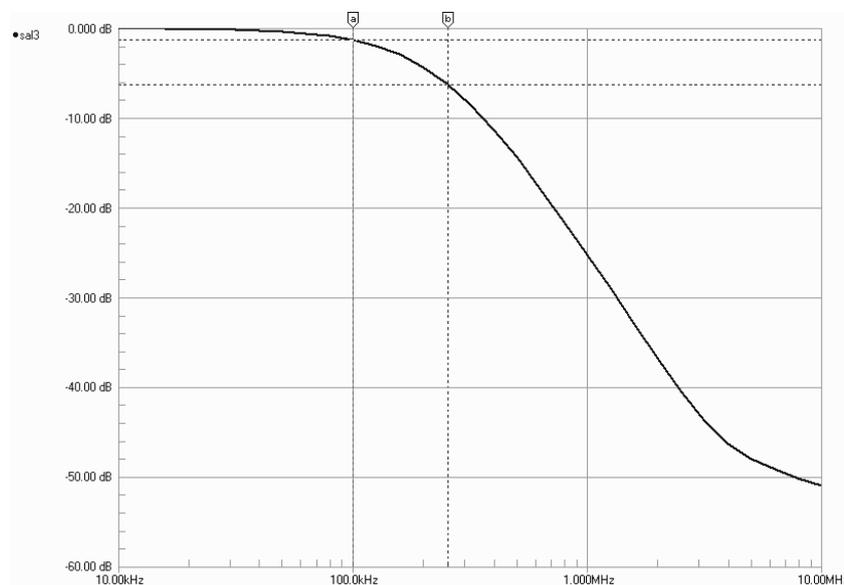


Figura 2.21 Respuesta en frecuencia del filtro de 2do orden.

Para lograr el filtro de 5to orden, ponemos tres etapas en cascadas, la primera de ella es la de primer orden y luego dos de segundo orden como se muestra en la [figura 2.22](#)

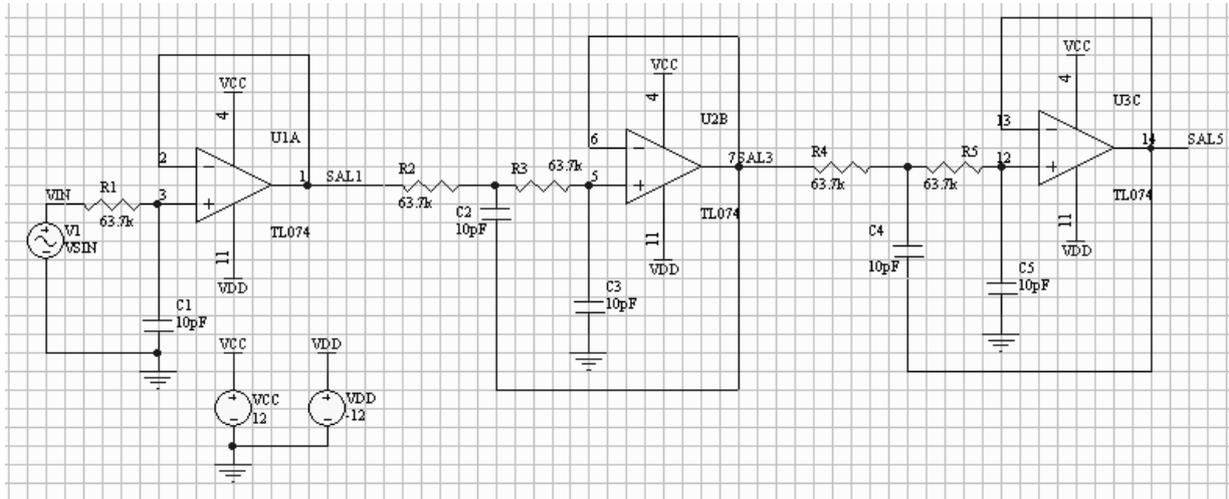


Figura 2.22 Esquema de simulación en Protel 99 SE del Filtro Butterworth de 5to orden.

La [figura 2.23](#) muestra la respuesta en frecuencia del filtro de 5to orden, con una razón de -100dB/dec .

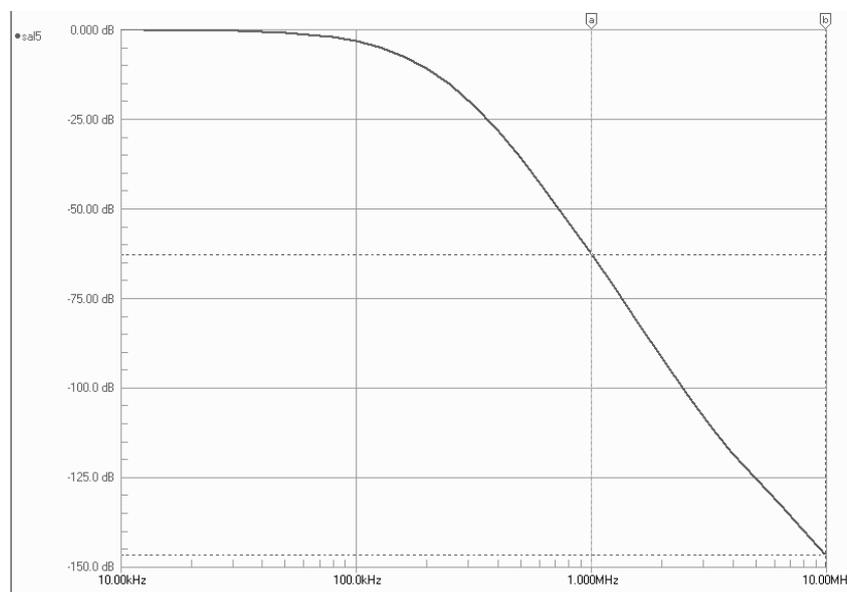


Figura 2.23 Respuesta en frecuencia del filtro de 5to orden.

Hasta aquí se ha obtenido dos de las cuatro salidas que se quieren para las etapas del espectroscopio (seno y coseno) por lo que nos restan las dos restantes, sus ondas cuadradas respectivamente, esto se logra con un inversor Schmitt Trigger.

2.3 Valoración económica.

Para realizar la valoración económica de este trabajo se tuvo en cuenta la suma de los precios de los componentes utilizados, así como de la tarjeta de desarrollo, ya que estos imponen el costo total del montaje práctico. En la Tabla 2.5 se muestran los precios de los componentes utilizados en la tarjeta de conversión.

Tabla 2.5 Costo económico del diseño.

COMPONENTE	PRECIO (USD)	UNIDADES	PRECIO.TOT.USD
TARJETA DE DESARROLLO			
Spartan™-3 de Xilinx®	119	1	119
CIRCUITOS INTEGRADOS			
AD9721BN	4,95	2	9,9
TL074	0,67	2	1,34
RESISTORES			
1,9 Ω , 2W	1,2	2	2,4
Pot. 100K	0,29	10	29
CONDENSADORES CERÁMICO 5%			
10pF	0,1	10	1
100nF	0,15	2	0,31
CABLES Y CONECTORES			
CABLE PLANO 26 HILOS	1,05	1	1,05
CABLE PLANO 5 HILOS	0,98	1	0,98
CONECTOR MACHO 26 HILOS	0,74	1	0,74
CONECTOR MACHO 5 HILOS	0,5	1	0,5
COSTO TOTAL			166,22

En el este capítulo se describió la metodología para el diseño del sintetizador digital de frecuencia, así como el diseño de los módulos fundamentales que conforman el sintetizador digital de frecuencia, se selecciona y describe el hardware utilizado para la síntesis del sintetizador digital de frecuencia y se muestra el esquemático empotrado en el módulo de generación, se diseñó un filtro pasabajo de 5to orden.

Conclusiones

CONCLUSIONES

El alto desempeño de los dispositivos lógicos programables permite la implementación de sistemas digitales no estándar que trabajan con señales de frecuencia de decenas de megaHertz como es el caso de la síntesis digital directa. Se caracterizó la espectroscopía de bioimpedancia eléctrica, las herramientas de software y hardware FPGA existente en la Universidad de Oriente, FIE. Se diseñaron mediante la programación de descripción de hardware, VHDL, todos los bloques funcionales, que constituyeron el módulo de generación.

Recomendaciones

RECOMENDACIONES

1. Montar físicamente el sintetizador digital de frecuencia diseñado.
2. Empotrar en el FPGA el módulo de control general o sea el microcontrolador para mayor eficiencia del espectroscopio de bioimpedancia eléctrica.
3. Utilizar filtros integrados para obtener una mejor respuesta de de la señal deseada.

Bibliografía

BIBLIOGRAFIA

- [1] Acosta, C, R, “Diseño de un sintetizador de frecuencia sobre PLD para el Estimulador Electromagnético Local NaK”, Trabajo de Diploma 2004.
- [2] Deschamps, J.P. “Dispositivos programables por el usuario: productos disponibles y ejemplos de aplicaciones, DCIS 93”. VIII Congreso de circuitos integrados, pp. 347-350, Málaga 1993.
- [3] Fernández, I. “Dispositivos de Lógica Programable”. Universidad de Alcalá, 1996.
- [4] Gentile, K. Signal Synthesis and Mixed Signal Technology. RF Design, August 1998, Vol. 21, No.8, pp 54-68.
- [5] Leonardo J. “HDL. Synthesys Manual”. Exemplar Logic Inc. 1998.
- [6] Lorenzi, S. “Lógica programable, una solución lógica”. Mundo Electrónico, Barcelona, pp. 26-32. Marzo 1993.
- [7] Mandado, E. “Dispositivos Lógicos Programables y sus aplicaciones”. Thomson. 2002.
- [8] Mazo, M. y col.; “Circuitos Electrónicos Digitales”. Universidad de Alcalá de Henares. 1995.
- [9] Paul.M.Embree. “C Algorithms for Real-Time DSP”. Prentice Hall PTR. 1995
- [10] Qualcomm, Synthesizer Product Data Book, San Diego,EEUU, Qualcomm. agosto 1997, p1-3.
- [11] Rosado, A.; Guerrero, J.; Bataller, M.; Espí, J.; Frances, J.V. “Circuitos programables FPGA. Fundamentos básicos (I)”. Mundo Electrónico, Mayo, 1995.
- [12] Rosado, A.; Guerrero, J.; Bataller, M.; Espí, J.; Frances, J.V. “Circuitos programables FPGA. Elección de una tecnología (I y II)”. Mundo Electrónico, Junio y Julio, 1995.

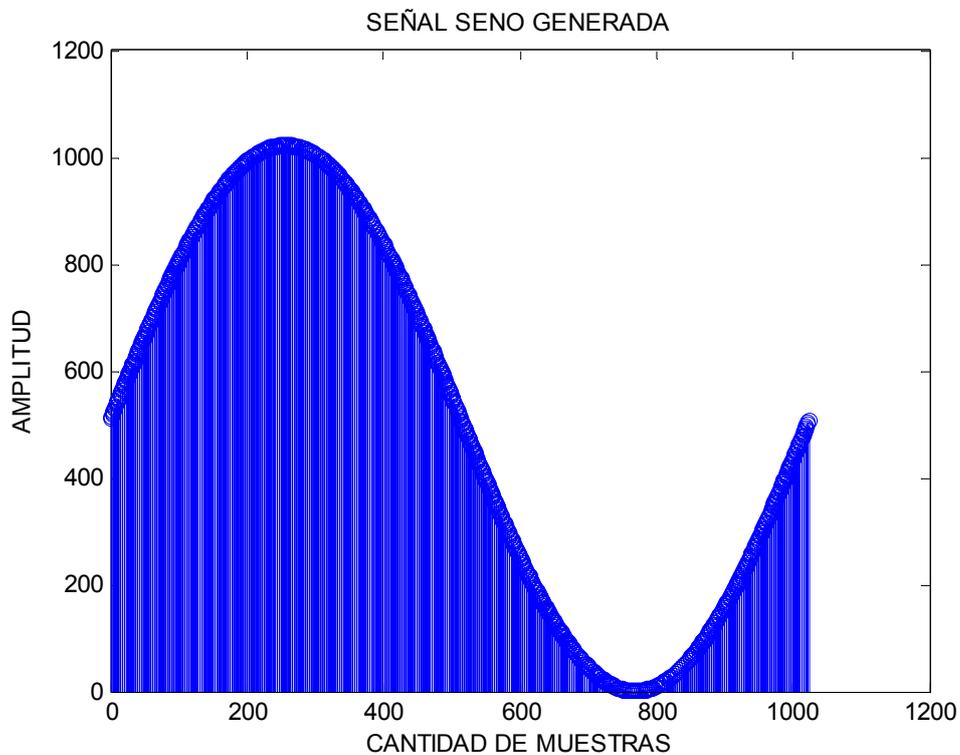
SITIOS WEB CONSULTADOS

- [13] http://www.saludalia.com/Saludalia/web_saludalia/vivir_sano/doc/nutricion/doc/valoracion_nutricional.htm
- [14] <http://www.Latticesemi.com>
- [15] <http://www.Analog.com>
- [16] <http://www.Datasheetarchive.com>

Anexos

Anexo No. 1 Programa desarrollado en Matlab y su resultado.

```
x=[1 zeros (1, 1023)]; % Se genera la señal exitadora.  
f=1/1024; % Se definen las 1024 muestras por ciclos.  
w=2*pi*f; % Se calcula la frecuencia angular.  
b=[0 sin (w)];  
a= [1 -2*cos(w) 1];  
y=(filter(b,a,x)); % Se calculan los puntos de -1 a 1.  
z=fix(y.*511.+512) % Se redondea y se lleva al rango de 0 a 1024.  
stem(z) % Se plotea la señal exitadora en forma discreta.
```



Anexo 2 Especificaciones de Recursos FPGA de Varias Familias.

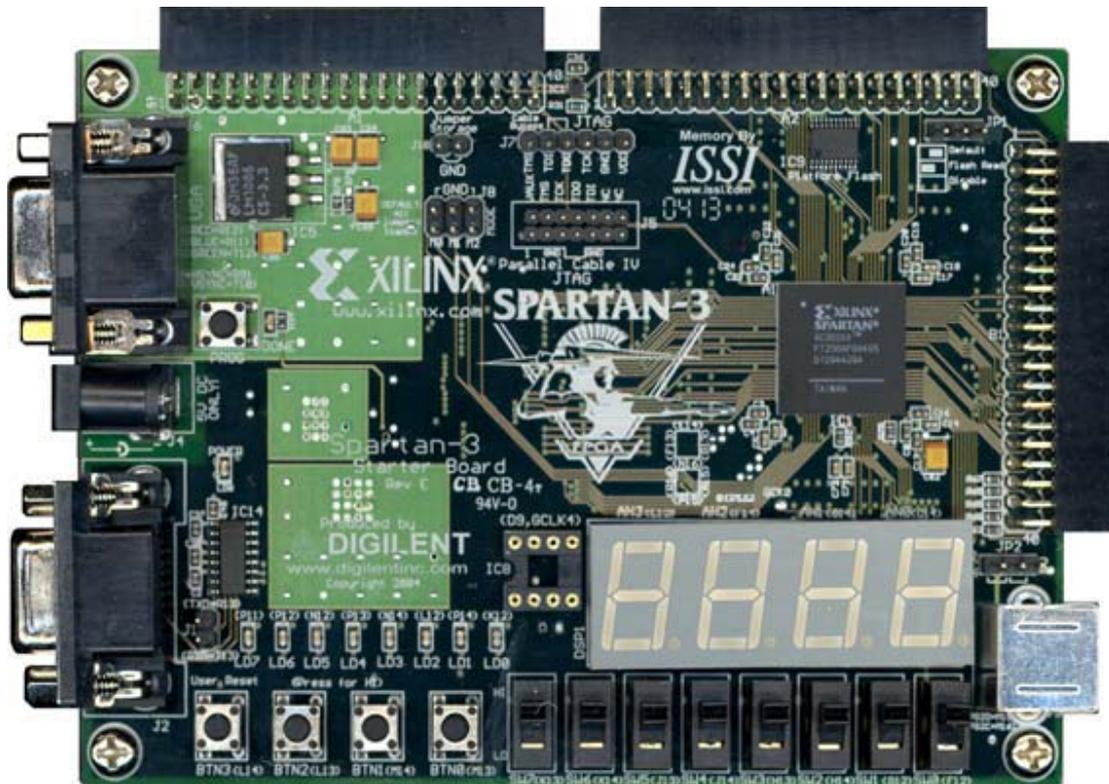
	Virtex-II 1000	Virtex-II 3000	Spartan-3 1000	Spartan-3 2000	Virtex-5 LX30	Virtex-5 LX50	Virtex-5 LX85	Virtex-5 LX110
Compuertas	1 millón	3 millones	1 millón	2 millones	-----	-----	-----	-----
Flip-Flops	10,240	28,672	15,360	40,960	19,200	28,800	51,840	69,120
Tablas LUT	10,240	28,672	15,360	40,960	19,200	28,800	51,840	69,120
Multiplicadores	40	96	24	40	32	48	48	64
RAM en Bloque(kb)	720	1,728	432	720	1,152	1,728	3,456	4,608

Anexo No.3 Descripción de los pines del conversor digital – analógico AD9721BN.

PIN FUNCTION DESCRIPTIONS

DIP Pin #	Name	Function									
1	D ₁ (MSB)	Most Significant Bit (MSB) of digital input word.									
2-9	D ₂ -D ₉	Eight of 10 digital input bits. Digital inputs are 10K ECL compatible for AD9720; TTL compatible for AD9721. See coding table elsewhere.									
10	D ₁₀ (LSB)	Least Significant Bit (LSB) of digital input word.									
Input Coding vs. Current Output											
<table border="1"> <thead> <tr> <th>Input Code D₁-D₁₀</th> <th>I_{OUT} (mA)</th> <th>I_{OUT} (mA)</th> </tr> </thead> <tbody> <tr> <td>1111111111</td> <td>-20.48</td> <td>0</td> </tr> <tr> <td>0000000000</td> <td>0</td> <td>-20.48</td> </tr> </tbody> </table>			Input Code D ₁ -D ₁₀	I _{OUT} (mA)	I _{OUT} (mA)	1111111111	-20.48	0	0000000000	0	-20.48
Input Code D ₁ -D ₁₀	I _{OUT} (mA)	I _{OUT} (mA)									
1111111111	-20.48	0									
0000000000	0	-20.48									
11	CLOCK	Edge-triggered latch enable signal for on-board registers. 10K ECL compatible for AD9720, TTL compatible for AD9721. Register loads data on rising edge of CLOCK signal; must be driven in conjunction with $\overline{\text{CLOCK}}$.									
12	$\overline{\text{CLOCK}}$ /NC	Complementary edge-triggered latch enable signal for on-board registers. 10K ECL compatible for AD9720; not connected (NC) for AD9721.									
13	INVERT	Normally connected to logic LOW; inverters are transparent in this mode. Logic High inverts the 9 LSBs (D ₂ -D ₁₀) when the MSB is LOW. No internal pull-down resistor.									
14	DIGITAL -V _S /+V _S	One of three digital supply pins; nominally -5.2 V for AD9720; +5 V for AD9721.									
15	GROUND	Converter ground return.									
16	DIGITAL -V _S	One of three negative digital supply pins; nominally -5.2 V.									
17	R _{SET}	Connection for external resistance reference; nominally 1,960 Ω. Full-scale current out = 32 × (CONTROL AMP IN/R _{SET}) when using internal amplifier. DAC load is virtual ground.									
18	GROUND	Converter ground return.									
19	ANALOG RETURN	Analog current return. This point and the reference side of the DAC load resistors should be connected to the same potential (nominally ground).									
20	I _{OUT}	Analog current output; full-scale output occurs with digital inputs at all "1." With external load resistor, output voltage I _{OUT} × (R _{LOAD} R _{INTERNAL}). R _{INTERNAL} is nominally 210 Ω.									
21	$\overline{\text{I}}_{\text{OUT}}$	Complementary analog current output; zero-scale output occurs with digital inputs at all "1."									
22	ANALOG -V _S	Negative analog supply; nominally -5.2 V.									
23	REFERENCE IN	Normally connected to CONTROL AMP OUT (Pin 24). Direct line to DAC current source network. Voltage changes (noise) at this point have a direct effect on the full-scale output current of DAC. Full-scale current output = 32 × (CONTROL AMP IN/R _{SET}) when using internal amplifier. DAC load is virtual ground.									
24	CONTROL AMP OUT	Normally connected to REFERENCE INPUT (Pin 23). Output of internal control amplifier, which provides a reference for the current switch network.									
25	REFERENCE OUT	Normally connected to CONTROL AMP IN (Pin 26). Internal voltage reference, nominally -1.25 V.									
26	CONTROL AMP IN	Normally connected to REFERENCE OUT (Pin 25) if not connected to external reference.									
27	DIGITAL -V _S	One of three negative digital supply pins; nominally -5.2 V.									
28	GROUND	Converter ground return.									

Anexo No.4 Tarjeta de desarrollo Spartan™-3 XC3S1000FT-256.



Anexo No.5 Resultado de la simulación de la unidad generadora.

FIGURA A

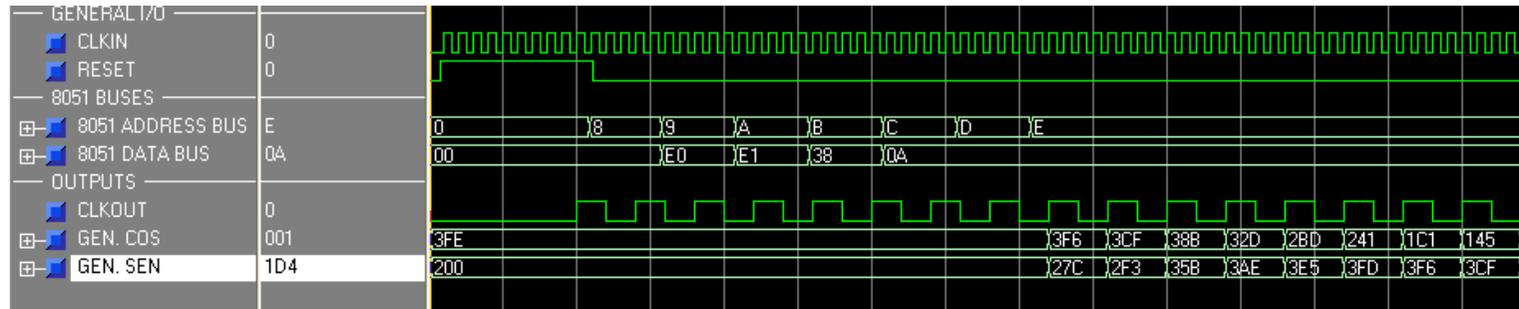
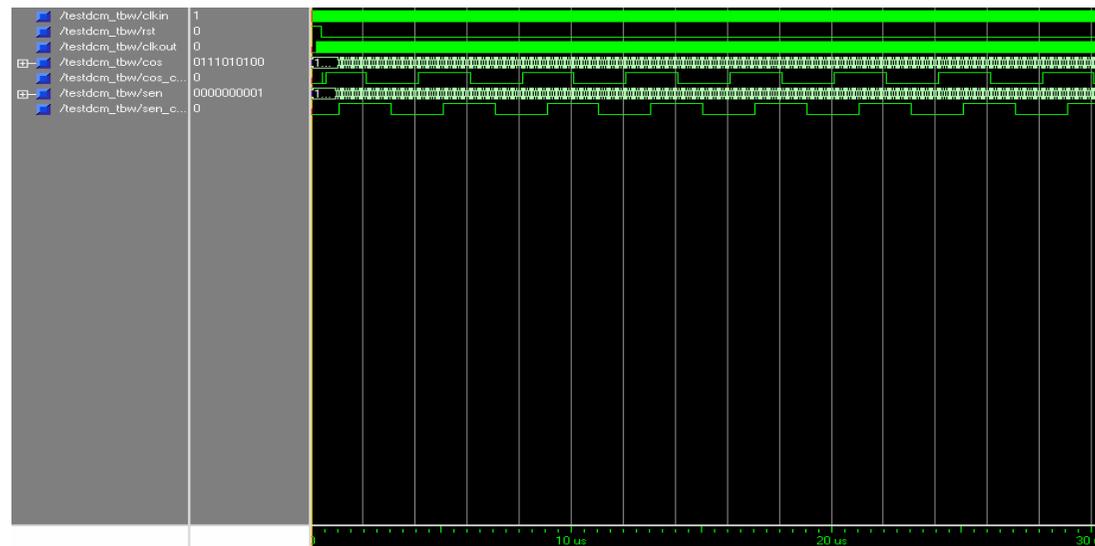
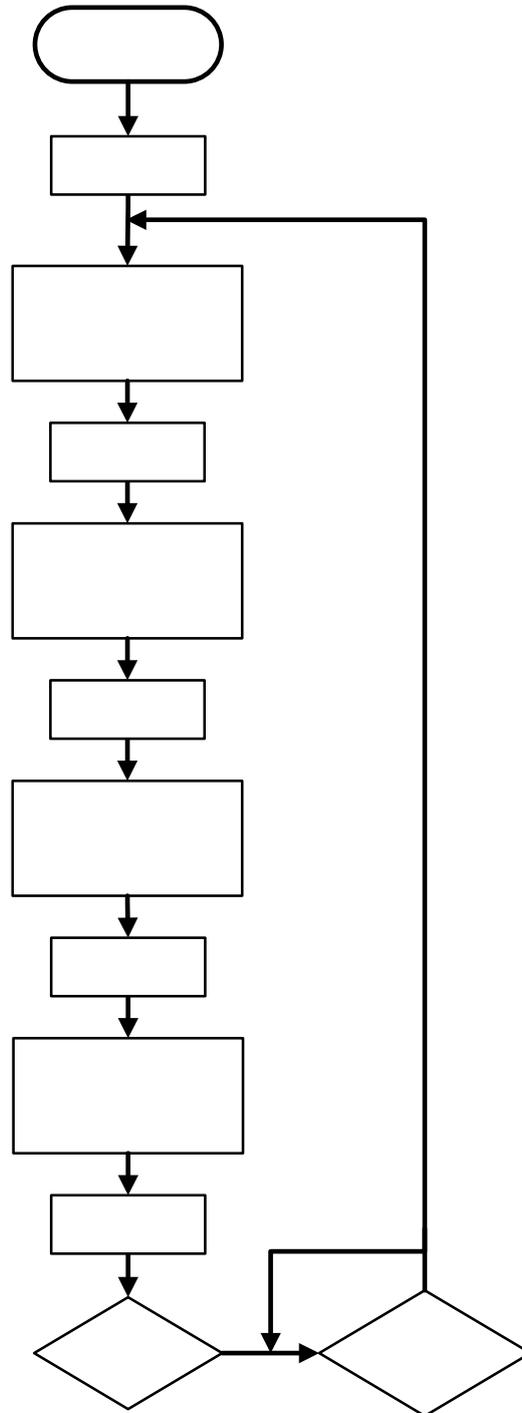


FIGURA B



Anexo No.6 Algoritmo a seguir para el control del sintetizador, así como para la generación de la señal portadora.



INICIO

A<= "1000"

Cargar 1ra
Transferencia de
datos 8 bit (ms)

A<= "1001"

Cargar 2da
Transferencia de
datos 8 bit (sates)